

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-338920

(P2000-338920A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl. ⁷	識別記号	F I	サーチコード [*] (参考)
G 0 8 G 3/20	8 2 3	G 0 8 G 3/20	8 2 3 J
	6 1 2		6 1 2 K
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
G 0 9 G 3/30		G 0 9 G 3/30	J
3/38		3/38	

審査請求 未請求 請求項の数 8 O L (全 37 頁)

(21) 出願番号 特願2000-18944(P2000-18944)

(22) 出願日 平成12年1月28日 (2000.1.28)

(31) 優先権主張番号 特願平11-18427

(32) 優先日 平成11年1月28日 (1999.1.28)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-77872

(32) 優先日 平成11年3月23日 (1999.3.23)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷388番地

(72) 発明者 横見 宗広

神奈川県厚木市長谷388番地 株式会社半

導体エネルギー研究所内

(72) 発明者 納 光明

神奈川県厚木市長谷388番地 株式会社半

導体エネルギー研究所内

(72) 発明者 横野入 量

神奈川県厚木市長谷388番地 株式会社半

導体エネルギー研究所内

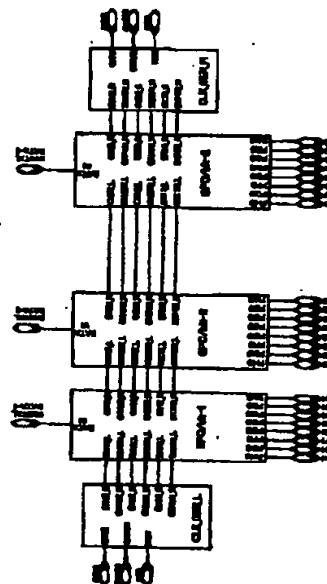
最良頁に続く

(54) 【発明の名称】 デジタルデータ分割回路およびそれを用いたアクティブマトリクス型表示装置

(57) 【要約】

【課題】 消費電力、安定性、信頼性に優れたデジタルデータ分割回路を提供すること。

【解決手段】 シリアルに入力されるデジタルデータをパラレルなデジタルデータに変換し出力するデジタルデータ分割回路において、入力されるデジタルデータの周波数の1/2以下のクロック信号を用いることによる。



1

【特許請求の範囲】

【請求項1】 m Hz でシリアルに入力されるデジタルデータを、 2^y 個の平行な $(m \cdot 2^{-y})$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路において (m は正数、 y は自然数)。

($m/2$) Hz 以下の複数のクロック信号によって動作することを特徴とするデジタルデータ分割回路。

【請求項2】 m Hz でシリアルに入力されるデジタルデータを、 2^y 個の平行な $(m \cdot 2^{-y})$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路において (m は正数、 y は自然数)。

($m/2$) Hz 以下 ($m \cdot 2^{-y}$) Hz 以上の複数のクロック信号によって動作することを特徴とするデジタルデータ分割回路。

【請求項3】 m Hz でシリアルに入力される x ビットデジタルデータの各ビットデジタルデータを、 2^y 個の平行な $(m \cdot 2^{-y})$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路において (m は正数、 x および y は自然数)。

前記デジタルデータ分割回路は、 x ビットデジタルデータの各ビットデジタルデータが入力される x 個の SPC / bit 回路を有しており、

前記 SPC / bit 回路は、第1から第 y ステージ回路を有しており、

前記第 y ステージ回路は、 2^{y-1} 個のシリアルに入力されるデジタルデータの周波数を $1/2$ にし、かつ前記 2^{y-1} 個の平行なビットデジタルデータに変換することとを特徴とするデジタルデータ分割回路。

【請求項4】 m Hz でシリアルに入力される x ビットデジタルデータの各ビットデジタルデータを、 2^y 個の平行な $(m \cdot 2^{-y})$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路において (m は正数、 x および y は自然数)。

前記デジタルデータ分割回路は、 x ビットデジタルデータの各ビットデジタルデータが入力される x 個の SPC / bit 回路を有しており、

前記 SPC / bit 回路は、数式 (1) で表される個数の基本ユニットを有しており、

前記数式 (1) で表される個数の基本ユニットのそれぞれは、シリアルに入力されるデジタルデータの周波数を $1/2$ にし、かつ2個の平行なデジタルデータに変換することとを特徴とするデジタルデータ分割回路。

【請求項5】 図素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動するソース信号線駆動回路およびゲート信号線駆動回路と、

m Hz でシリアルに入力されるデジタルデータを、 2^y 個の平行な $(m \cdot 2^{-y})$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路 (m は正数、 y は自然数) と、を有するアクティブマトリクス型表示装置

(2)

特開 2000-338920

2

であって、

($m/2$) Hz 以下の複数のクロック信号によって動作することを特徴とするアクティブマトリクス型表示装置。

【請求項6】 図素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動するソース信号線駆動回路およびゲート信号線駆動回路と、

m Hz でシリアルに入力されるデジタルデータを、 2^y 個の平行な $(m \cdot 2^{-y})$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路 (m は正数、 y は自然数) と、を有するアクティブマトリクス型表示装置であって、

($m/2$) Hz 以下 ($m \cdot 2^{-y}$) Hz 以上の複数のクロック信号によって動作することを特徴とするアクティブマトリクス型表示装置。

【請求項7】 図素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動するソース信号線駆動回路およびゲート信号線駆動回路と、

m Hz でシリアルに入力される x ビットデジタルデータの各ビットデジタルデータを、 2^y 個の平行な $(m \cdot 2^{-y})$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路 (m は正数、 x および y は自然数) と、を有するアクティブマトリクス型表示装置であって、

前記デジタルデータ分割回路は、 x ビットデジタルデータの各ビットデジタルデータが入力される x 個の SPC / bit 回路を有しており、

前記 SPC / bit 回路は、第1から第 y ステージ回路を有しており、

前記第 y ステージ回路は、 2^{y-1} 個のシリアルに入力されるデジタルデータの周波数を $1/2$ にし、かつ前記 2^{y-1} 個の平行なビットデジタルデータに変換することとを特徴とするアクティブマトリクス型表示装置。

【請求項8】 図素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動するソース信号線駆動回路およびゲート信号線駆動回路と、

m Hz でシリアルに入力される x ビットデジタルデータの各ビットデジタルデータを、 2^y 個の平行な $(m \cdot 2^{-y})$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路 (m は正数、 x および y は自然数) と、を有するアクティブマトリクス型表示装置であって、

前記デジタルデータ分割回路は、 x ビットデジタルデータの各ビットデジタルデータが入力される x 個の SPC / bit 回路を有しており、

前記 SPC / bit 回路は、数式 (1) で表される個数の基本ユニットを有しており、

(3)

特開 2000-338920

3

前記数式(1)で表される個数の基本ユニットのそれぞれは、シリアルに入力されるデジタルデータの周波数を $1/2$ にし、かつ2個のバラレルなデジタルデータに変換することを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本発明は、デジタルデータのシリアル-バラレル変換を行うデジタルデータ分割回路(Serial-to-Parallel Conversion Circuit: SPC)に関する。また本発明は、そのデジタルデータ分割回路を有する半導体装置に関する。

【0003】

【従来の技術】

【0004】デジタルデータを入力信号とする半導体装置の一例として、アクティブマトリクス型の液晶表示装置がある。近年、アクティブマトリクス型液晶表示装置は、多結晶シリコンによって形成された複数のTFT(薄膜トランジスタ)によって構成され、画像を表示するアクティブマトリクス回路と駆動回路とが一体形成されるようになってきている。

【0005】デジタルデータ分割回路は、入力信号となるデジタルデータ(以下、入力デジタルデータ)の入力を受け、その入力デジタルデータのバース長を時間伸長(何倍に伸長しても良いが、 a 倍(a は2以上の自然数)に伸長するのが最も一般的である)した修正デジタルデータを、アクティブマトリクス型液晶表示装置のソース信号線駆動回路に入力する。入力デジタルデータのバース長を a 倍に時間伸長するということは、言い換えれば、入力デジタルデータの周波数を $1/a$ 倍に落とすことである。

【0006】デジタルデータ分割回路は、次のような意義を有している。つまり、アクティブマトリクス型液晶表示装置に入力されるデジタルデータは、数10MHzであるのが通常であるが、近年の高精細・高解像度・多階調の要求に対して、百数10MHzのものが一般化する可能性もある。

【0007】しかし、このような高周波数のデジタルデータの処理を行うには、アクティブマトリクス型液晶表示装置内のソース信号線駆動回路中のTFTの性能は十分ではなく、動作が不可能か、または信頼性の上で難があった。そこで、ソース信号線駆動回路が完全に動作可能な程度にまで入力デジタルデータの周波数を落とすことが不可欠であり、デジタルデータ分割回路が入力デジタルデータの周波数を落とすという役割を担っている。なお、デジタルデータ分割回路は、ソース信号線駆動回路と比較して回路の規模が小さく、回路内を流れるクロック信号の“なまり”(クロック信号のバースの立ち上がり

4

り時または立ち下がり時の信号遅延)も小さいので、高速駆動が可能である。

【0008】

【発明が解決しようとする課題】

【0009】上述したように、デジタルデータ分割回路は、ソース信号線駆動回路等に比較して高速駆動が可能であるが、近年の高精細・高解像度・多階調の要求に対して、その高速動作の信頼性・安定性の面では少々難があった。

【0010】従来本出願人が用いていたデジタルデータ分割回路の一例としては、本出願人による特許出願である特願平9-358238号(特開平11-23178号)に記載のデジタルデータ分割回路がある。

【0011】前記特許出願に係るデジタルデータ分割回路は、入力デジタルデータの周波数と同じ周波数のクロック信号がその動作にとって必要であった。例えば、前記特許出願に係るデジタルデータ分割回路には、シリアルに入力される80MHzのデジタルデータを、8個のバラレルなデジタルデータに変換するために、80MHzのクロック信号が常時供給されており、その動作の消費電力、安定性、信頼性等に問題があった。

【0012】

【課題を解決するための手段】そこで、本発明は上述の問題に鑑みてなされたものであり、消費電力、安定性、信頼性に優れた新規なデジタルデータ分割回路を提供するものである。

【0013】以下に本発明のデジタルデータ分割回路およびそれを用いた半導体表示装置の構成について述べる。

【0014】本発明によると、mHzでシリアルに入力されるデジタルデータを、 2^y 個のバラレルな($m \cdot 2^y$)Hzのデジタルデータに変換し出力するデジタルデータ分割回路において(m は正数、 y は自然数)、($m/2$)Hz以下の複数のクロック信号によって動作することを特徴とするデジタルデータ分割回路が提供される。

【0015】このように、本発明のデジタルデータ分割回路は、入力されるデジタルデータの $1/2$ 以下の周波数のクロック信号で動作が可能である。

【0016】なお、本明細書においては、クロック信号やデジタル信号の周波数を規定することが多いが、これらの周波数はおよそその周波数であり、均等な周波数が含まれるものとする。

【0017】また、本発明によると、mHzでシリアルに入力されるデジタルデータを、 2^y 個のバラレルな($m \cdot 2^y$)Hzのデジタルデータに変換し出力するデジタルデータ分割回路において(m は正数、 y は自然数)、($m/2$)Hz以下($m \cdot 2^y$)Hz以上の複数のクロック信号によって動作することを特徴とするデジタルデータ分割回路が提供される。

50

【0018】また、本発明によると、 m Hz でシリアルに入力される x ビットデジタルデータの各ビットデジタルデータを、 2^y 個の平行な $(m \cdot 2^y)$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路において (m は正数、 x および y は自然数)、前記デジタルデータ分割回路は、 x ビットデジタルデータの各ビットデジタルデータが入力される x 個の SPC/bit 回路を有しており、前記 SPC/bit 回路は、第1から第 y ステージ回路を有しており、前記第 y ステージ回路は、 2^{y-1} 個のシリアルに入力される前記各ビットデジタルデータの周波数を $1/2$ にし、かつ 2^y 個の平行なビットデジタルデータに変換することを特徴とするデジタルデータ分割回路が提供される。

【0019】また、本発明によると、 m Hz でシリアルに入力される x ビットデジタルデータの各ビットデジタルデータを、 2^y 個の平行な $(m \cdot 2^y)$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路において (m は正数、 x および y は自然数)、前記デジタルデータ分割回路は、 x ビットデジタルデータの各ビットデジタルデータが入力される x 個の SPC/bit 回路を有しており、前記 SPC/bit 回路は、数式

(1) で表される個数の基本ユニットを有しており、前記数式 (1) で表される個数の基本ユニットのそれぞれは、シリアルに入力されるデジタルデータの周波数を $1/2$ にし、かつ前記 2 個の平行なデジタルデータに変換することを特徴とするデジタルデータ分割回路が提供される。

【0020】また、本発明によると、画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソース信号線駆動回路およびゲート信号線駆動回路と、 m Hz でシリアルに入力されるデジタルデータを、 2^y 個の平行な $(m \cdot 2^y)$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路 (m は正数、 y は自然数) と、を有するアクティブマトリクス型表示装置であって、 $(m/2)$ Hz 以下の複数のクロック信号によって動作することを特徴とするアクティブマトリクス型表示装置が提供される。

【0021】また、本発明によると、画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソース信号線駆動回路およびゲート信号線駆動回路と、 m Hz でシリアルに入力されるデジタルデータを、 2^y 個の平行な $(m \cdot 2^y)$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路 (m は正数、 y は自然数) と、を有するアクティブマトリクス型表示装置であって、 $(m/2)$ Hz 以下 $(m \cdot 2^y)$ Hz 以上の複数のクロック信号によって動作することを特徴とするアクティブマトリクス型表示装置が提供される。

【0022】また、本発明によると、画素 T F T がマト

リクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソース信号線駆動回路およびゲート信号線駆動回路と、 m Hz でシリアルに入力される x ビットデジタルデータの各ビットデジタルデータを、 2^y 個の平行な $(m \cdot 2^y)$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路 (m は正数、 x および y は自然数) と、を有するアクティブマトリクス型表示装置であって、前記デジタルデータ分割回路は、 x ビットデジタルデータの各ビットデジタルデータが入力される x 個の SPC/bit 回路を有しており、前記 SPC/bit 回路は、第1から第 y ステージ回路を有しており、前記第 y ステージ回路は、 2^{y-1} 個のシリアルに入力されるデジタルデータの周波数を $1/2$ にし、かつ前記 2^y 個の平行なデジタルデータに変換することを特徴とするアクティブマトリクス型表示装置が提供される。

【0023】また、本発明によると、画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソース信号線駆動回路およびゲート信号線駆動回路と、 m Hz でシリアルに入力される x ビットデジタルデータの各ビットデジタルデータを、 2^y 個の平行な $(m \cdot 2^y)$ Hz のデジタルデータに変換し出力するデジタルデータ分割回路 (m は正数、 x および y は自然数) と、を有するアクティブマトリクス型表示装置であって、前記デジタルデータ分割回路は、 x ビットデジタルデータの各ビットデジタルデータが入力される x 個の SPC/bit 回路を有しており、前記 SPC/bit 回路は、数式 (1) で表される個数の基本ユニットを有しており、前記数式 (1) で表される個数の基本ユニットのそれぞれは、シリアルに入力されるデジタルデータの周波数を $1/2$ にし、かつ前記 2 個の平行なデジタルデータに変換することを特徴とするアクティブマトリクス型表示装置が提供される。

【0024】

【発明の実施の形態】

【0025】以下に本発明のデジタルデータ分割回路を実施形態をもって説明する。ただし、本発明のデジタルデータ分割回路は、以下の実施形態に限定されるわけではない。

【0026】(実施形態1)

【0027】本発明のデジタルデータ分割回路の一実施形態について説明する。図1を参照する。図1には、本実施形態の8ビットデジタルデータ分割回路の回路構成がブロック図で示されている。本実施形態の8ビットデジタルデータ分割回路は、80 MHz でシリアルに入力される8ビットのデジタルデータ (DIGITAL DATA-1 (LSB) ~ DIGITAL DATA-8 (MSB)) を平行に変換し、各ビットにつき8個の平行な10 MHz デジタルデータを出力する。

【0028】図1の本実施形態のデジタルデータ分割回路において、CLK_GEN_LおよびCLK_GEN_Rはクロックジェネレータ回路であり、デジタルデータ分割回路の動作に必要な複数のクロック信号を生成する回路である。このクロックジェネレータ回路CLK_GEN_LおよびCLK_GEN_Rは、本発明のデジタルデータ分割回路の一部であるとしてもよいし、外部回路であるとしてもよい。本実施形態においては、クロックジェネレータ回路CLK_GEN_LおよびCLK_GEN_Rには、40MHzのクロック信号(CK40)およびその反転信号である反転クロック信号(CK40B)が外部から入力される。このように、クロック信号の周波数は外部から入力されるデジタルデータの周波数(本実施形態では80MHz)の1/2でよい。このことは、本発明のデジタルデータ分割回路の特徴の一つである。

【0029】また、クロックジェネレータ回路CLK_GEN_LおよびCLK_GEN_Rには、リセット信号(RES)が入力される。このリセット信号のバース入力によって本実施形態のデジタルデータ分割回路の動作が始まる。

【0030】クロックジェネレータ回路CLK_GEN_LおよびCLK_GEN_Rは、外部から入力される40MHzのクロック信号を基に20MHzおよび10MHzのクロック信号を生成し、以下に説明するSPC/bit回路にこれらのクロック信号および反転クロック信号を供給する。図1に示すクロックジェネレータCLK_GEN_LおよびCLK_GEN_Rの出力CK40_Oからは40MHzのクロック信号が出力され、出力CK40B_Oからはその反転クロック信号が出力される。また、出力CK20_Oからは20MHzのクロック信号が出力され、出力CK20B_Oからはその反転クロック信号が出力される。さらに、出力CK10_Oからは10MHzのクロック信号が出力され、出力CK10B_Oからはその反転クロック信号が出力される。

【0031】なお、本実施形態においては、2つのクロックジェネレータCLK_GEN_LおよびCLK_GEN_Rが用いられているが、いずれか一方だけ用いるようにしても構わない。

【0032】SPC/bit回路は、デジタルデータ1ビットに対応する回路であり、本実施形態においては、8個のSPC/bit回路(SPC/bit-1回路～SPC/bit-8回路)がデジタルデータ分割回路に含まれる。本実施形態のデジタルデータ分割回路は、8ビットのデジタルデータ(DIGITAL DATA-1(LSB)～DIGITAL DATA-8(MSB))を扱うので、SPC/bit-1回路～SPC/bit-8回路には、それぞれデジタルデータの各ビットデータ(DIGITAL VIDEO-1～DIGITAL VIDEO-8)が入力される。

【0033】SPC/bit回路は、クロックジェネレータCLK_GENから供給されるクロック信号(CK40、CK40B、CK20、CK20B、CK10およびCK10B)に基づいて、各ビットにつき80MHzでシリアルに入力されるデジタルデータをパラレル変換し、8個のパラレルなデジタルデータを10MHzで出力する。

【0034】ここで、本実施形態のデジタルデータ分割回路の構成要素であるSPC/bit回路について説明する。図2を参照する。図2には、本実施形態のデジタルデータ分割回路のクロックジェネレータCLK_GEN_Lおよびデジタルデータの最下位ビット(DIGITAL DATA-1)が入力されるSPC/bit-1回路が示されている。なお、デジタルデータ(DIGITAL DATA-2～DIGITAL DATA-8)がそれぞれ入力されるSPC/bit回路も、図2に示されるSPC/bit-1回路と同様である。

【0035】図2に示すように本実施形態では、SPC/bit-1回路は、第1ステージ回路(Stage 1)、第2ステージ回路(Stage 2)、および第3ステージ回路(Stage 3)を有している。

【0036】SPC/bit-1回路は7個のSPC基本ユニットを有している。第1ステージ回路は1個のSPC基本ユニットを有しており、第2ステージ回路は2個のSPC基本ユニットを有しており、第3ステージ回路は4個のSPC基本ユニットを有している。

【0037】第1ステージ回路のSPC基本ユニットには、クロックジェネレータCLK_GEN_LおよびCLK_GEN_Rから40MHzのクロック信号(CK40)およびその反転クロック信号(CK40B)が供給される。第1ステージのSPC基本ユニットの入力(IN)には、外部から80MHzのデジタルデータが入力される。図2に示すSPC/bit-1回路の第1ステージ回路のSPC基本ユニットの入力(IN)には、外部からの80MHzの8ビットデジタルデータの最下位ビット(DIGITAL DATA-1)が入力される。第1ステージ回路のSPC基本ユニットの出力OUT1およびOUT2からは、第2ステージ回路の2個のSPC基本ユニットのそれぞれの入力(IN)へ40MHzのデジタルデータが出力される。

【0038】第2ステージ回路の2個のSPC基本ユニットには、クロックジェネレータCLK_GEN_LおよびCLK_GEN_Rから20MHzのクロック信号(CK20)およびその反転クロック信号(CK20B)が供給される。第2ステージ回路の各SPC基本ユニットの出力OUT1およびOUT2からは、第3ステージ回路の4個のSPC基本ユニットの各入力(IN)へ20MHzのデジタルデータが出力される。

【0039】第3ステージ回路の4個のSPC基本ユニットには、クロックジェネレータCLK_GEN_Lお

およびCLK_GEN_Rから10MHzのクロック信号(CK10)およびその反転クロック信号(CK10B)が供給される。第3ステージ回路の各SPC基本ユニットの出力OUT1およびOUT2からは10MHzのデジタルデータが出力される。

【0040】なお、残りの上位7ビットのデジタルデータ(DIGITAL DATA-2~DIGITAL DATA-8)がそれぞれ入力されるSPC/bit-2~SPC/bit-8回路においても、上述した様な動作がおこなわれ、各SPC/bit回路の第3ステージ回路の各SPC基本ユニットの出力OUT1およびOUT2からは、10MHzのデジタルデータが出力される。

【0041】ここで、図3に本実施形態のデジタルデータ分割回路のSPC/bit回路を構成するSPC基本ユニットの回路構成について説明する。図3を参照する。図3には、1つのSPC基本ユニットの回路構成がブロックで示されている。なお、本実施形態においては、いずれのSPC基本ユニットも図3に示す通りの構成を有している。ただし、各ステージ回路のSPC基本ユニットは、それぞれ動作周波数が異なるので、異なる特性を有するトランジスタで構成されるようにしても良い。

【0042】図3のSPC基本ユニットにおいて、H-DLおよびL-DLはDラッチ回路と呼ばれるラッチ回路である。H-DLは入力されるラッチ信号がHiの時、入力信号(IN)をラッチするDラッチ回路であり、L-DLは入力されるラッチ信号がLoの時、入力信号(IN)をラッチするDラッチ回路である。

【0043】ここで図4を参照し、本実施形態のDラッチ回路H-DLおよびL-DLの回路構成を説明する。なお、図4で説明する以外のDラッチ回路を用いても良い。

【0044】図4(A)にはDラッチ回路H-DLが、図4(B)にはDラッチ回路L-DLが示されている。Dラッチ回路H-DLおよびL-DLは、それぞれ、2個のクロックドインバータ回路および1個のインバータ回路を有している。クロックドインバータ回路は、入力されるクロック信号および反転クロック信号に基づいて動作するインバータ回路である。図4(C)に、本実施形態のクロックドインバータ回路の回路図を示しておく。

【0045】Dラッチ回路H-DLおよびL-DLには、クロック信号(CK)およびその反転クロック信号(CKB)が入力される。本実施形態においては、Dラッチ回路H-DLおよびL-DLは、クロック信号(CK)がラッチ信号に対応する。また、Dラッチ回路H-DLは、クロック信号(CK)がHiの時、入力INより入力される入力信号をラッチし、出力OUTから信号を出力する。また、Dラッチ回路L-DLは、クロック信号(CK)がLoの時、入力INより入力される入力

信号をラッチし、出力OUTから信号を出力する。

【0046】ここで図1、図2および図5を参照しながら、本実施形態のデジタルデータ分割回路の動作をタイミングチャートを用いて詳細に説明する。図5に示すタイミングチャートには、クロックジェネレータCLK_GEN_LおよびCLK_GEN_Rに入力される信号として、40MHzのクロック信号(CK40)(CLK_GEN_LおよびCLK_GEN_Rから各SPC/bitに入力される40MHzのクロック信号でもある)、その反転信号(CK40B)およびリセット信号(RES)が示されている。

【0047】また、図5のタイミングチャートには、CLK_GENから各SPC/bitに入力される20MHzのクロック信号、10MHzのクロック信号(CK10)が示されている。

【0048】また、SPC/bit-1回路~SPC/bit-8回路に入力されるシリアルな80MHzの8ビットのデジタルデータの最下位ビット(A、B、C、...、A'、B'、C'、...、A''、B''、C''、...)が示されている。なお、1つのデジタルデータ(例えばA)のデータ長は、12.5nsecである。

【0049】さらに、図5のタイミングチャートには、各SPC/bit回路のOUT100ならびにOUT200(Stage1)、OUT110、OUT120、OUT210ならびにOUT220(Stage2)、およびOUT111(PAO)、OUT112(PEO)、OUT121(PCO)、OUT122(PGO)、OUT211(PBO)、OUT212(PFO)、OUT221(PDO)ならびにOUT222(PHO)(Stage3)から出力されるデジタル信号が示されている。

【0050】図5のタイミングチャートに示されるように、各StageのSPC基本ユニットは、入力されるデジタルデータの周波数を1/2に落とし(言い換えると、データ長を倍にし)、かつ2個の平行なデジタル信号に順次変換する。

【0051】まず、各SPC/bit回路のStage1のSPC基本ユニットは、80MHzでシリアルに入力されるデジタルデータを、平行な40MHzのデジタルデータに変換し、OUT100およびOUT200からStage2の2個のSPC基本ユニットの入力(IN)にそれぞれ出力する。例えば、80MHzでシリアルに入力されるデジタルデータ(AおよびB、それぞれデータ長12.5nsec)を、40MHzの平行な2個のデジタルデータ(AおよびB、それぞれデータ長25nsec)に変換する。

【0052】各SPC/bit回路のStage2の2個のSPC基本ユニットは、40MHzでシリアルに入力されるデジタルデータを平行な20MHzのデジタルデータに変換し、OUT110、OUT120、O

UT210およびOUT220からStage3の4個のSPC基本ユニットにそれぞれ出力する。例えば、40MHzでシリアルに入力されるデジタルデータ(AおよびC、それぞれデータ長25nsec)を、20MHzのバラレルな2個のデジタルデータ(AおよびC、それぞれデータ長50nsec)に変換する。

【0053】さらに、各SPC/bit回路のStage3のSPC基本ユニットは、20MHzでシリアルに入力されるデジタルデータをバラレルな10MHzのデジタルデータに変換し、OUT111(PAO)、OUT112(PEO)、OUT121(PCO)、OUT122(PGO)、OUT211(PBO)、OUT212(PFO)、OUT221(PDO)、およびOUT222(PHO)からそれぞれ出力する。例えば、20MHzでシリアルに入力されるデジタルデータ(AおよびE、それぞれデータ長50nsec)を、10MHzのバラレルな2個のデジタルデータ(AおよびE、それぞれデータ長100nsec)に変換する。

【0054】従って、出力PAO、PBO、PCO、PDO、PEO、PFO、PGO、PHOからは、それぞれ10MHzのデジタルデータが出力されることになる。

【0055】上述の動作が全てのSPC/bit回路で行われ、結果として、シリアルに入力される80MHzの8ビットデジタルデータが、8個のバラレルな10MHzの8ビットデジタルデータに変換されることになる。

【0056】なお、本実施形態では、本発明のデジタルデータ分割回路が、シリアルな80MHzの8ビットデジタルデータを、バラレルな8個の10MHzの8ビットデジタルデータに変換する場合について説明したが、本発明のデジタルデータ分割回路は、この場合に限られず適用され得る。

【0057】本発明のデジタルデータ分割回路は、mHzでシリアルに入力されるデジタルデータを、 2^y 個のバラレルな $(m \cdot 2^y)$ Hzのデジタルデータに変換し出力することができる。なお、mは正数、yは自然数である。この場合、本発明のデジタルデータ分割回路は、 $(m/2)$ Hz以下の複数のクロック信号によって動作することができることが理解される。

【0058】なおクロック信号は、 $(m/2)$ Hz以下 $(m \cdot 2^y)$ Hz以上の複数のクロック信号が用いられることになる。

【0059】また、本発明のデジタルデータ分割回路が扱うデジタルデータがxビットである場合には、デジタルデータの各ビットデジタルデータが入力されるSPC/bit回路は、SPC/bit-1回路～SPC/bit-x回路までのx個となる。また、各SPC/bit回路は、下記数式(1)で表される個数のSPC基本ユニットを有していることになる。なお、xは2以上の

自然数である。

【0060】

【数式1】

$$\sum_{k=1}^y 2^{k-1} \dots (1)$$

【0061】詳細には、第1ステージ回路は1個のSPC基本ユニットを有しており、第2ステージ回路は2個のSPC基本ユニットを有しており、第kステージ回路は 2^{k-1} 個のSPC基本ユニットを有している。なお、kは1乃至yの自然数である。

【0062】xビットデジタルデータの各ビットデジタルデータは、各SPC/bit回路に入力され、各SPC/bit回路の第kステージ回路は 2^{k-1} 個のシリアルに入力されるデジタルデータの周波数を1/2にし、かつ 2^k 個のバラレルなデジタルデータに変換し、次段である第(k+1)ステージ回路の各SPC基本ユニットへデジタルデータを出力する。なお、最終段のステージ回路は、デジタルデータ分割回路の出力として各ビットデジタルデータを出力する。

【0063】上述のように、本発明のデジタルデータ分割回路は、周波数、ビット数、分割数に限定されない。

【0064】また、本発明のデジタルデータ分割回路は、入力されるデジタルデータの周波数の半分以上の周波数のクロック信号しか必要としない。よって、従来のものと比較して、本発明のデジタルデータ分割回路は安定性、信頼性、消費電力に優れている。

【0065】(実施形態2)

【0066】本実施形態では、本発明のデジタルデータ分割回路の別の実施形態について説明する。本実施形態のデジタルデータ分割回路は、実施形態1のデジタルデータ分割回路にデジタルデータ並び替え機能を追加したものである。他の構成は、実施形態1と同様である。

【0067】図6を参照する。図6には、本実施形態のデジタルデータ分割回路の回路構成がブロック図で示されている。本実施形態においても実施形態1と同様に、8ビットのデジタルデータを扱う。本実施形態の8ビットデジタルデータ分割回路も、実施形態1と同様、80MHzでシリアルに入力される8ビットのデジタルデータ(DIGITAL DATA-1(LSB)～DIGITAL DATA-8(MSB))をバラレル変換し、各ビットにつき8個のバラレルな10MHzデジタルデータを出力する。

【0068】図6に示すように、本実施形態のデジタルデータ分割回路には、デジタルデータ並び替え機能を実現するためのデジタルデータ並び替え信号(LR)およびその反転信号(LRB)が、各SPC/bit回路の入力LR_LおよびLRB_Lに入力される。

【0069】ここで、本実施形態のデジタルデータ分割回路の構成要素であるSPC/bit回路について説明

する。図7を参照する。図7には、本実施形態のデジタルデータ分割回路のクロックジェネレータCLK_GEN_Lおよびデジタルデータの最下位ビット(DIGITAL DATA-1)が入力されるSPC/bit-1回路が示されている。なお、デジタルデータ(DIGITAL DATA-2~DIGITAL DATA-8)がそれぞれ入力されるSPC/bit回路も、図8に示されるSPC/bit回路と同様である。

【0070】図8に示すように本実施形態では、SPC/bit-1回路は7個のSPC基本ユニット、および8個のデジタルデータ並び替えスイッチSW_LRを有している。7個のSPC基本ユニットの接続についても実施形態1と同様である。

【0071】ここで、図8に本実施形態のデジタルデータ並び替えスイッチSW_LRの回路図を示す。本実施形態においては、SW_LRは、Pチャンネル型トランジスタ(Pch Tr)とNチャンネル型トランジスタ(Nch Tr)とで構成されるアナログスイッチを2個有している。本実施形態のデジタルデータ並び替えスイッチSW_LRは、入力LRおよびLRBに入力される信号によって、入力P1または入力P2のいずれかの信号を出力P3から出力することができる。

【0072】LR=HiかつLRB=Loの時、デジタルデータ並び替えスイッチSW_LRは、P1に入力されるデジタルデータをP3から出力する。また、LR=LoかつLRB=Hiの時、デジタルデータ並び替えスイッチSW_LRは、P2に入力されるデジタルデータをP3から出力する。

【0073】本実施形態のデジタルデータ分割回路の動作をタイミングチャートを用いて説明する。図9を参照する。第3ステージ回路のSPC基本ユニットの出力OUT111、OUT112、OUT121、OUT122、OUT211、OUT212、OUT221、およびOUT222までは、実施形態1と同様であるので、実施形態1を参照されたい。

【0074】各SPC/bit回路の第3ステージ回路のSPC基本ユニットは、20MHzでシリアルに入力されるデジタルデータをパラレルな10MHzのデジタルデータに変換し、OUT111、OUT112、OUT121、OUT122、OUT211、OUT212、OUT221、およびOUT222からそれぞれ出力する。

【0075】デジタルデータ並び替えスイッチに入力する信号がLR=HiかつLRB=Loの時、デジタルデータ並び替えスイッチSW_LRは、P1に入力されるデジタルデータをP3から出力する。よって、図9のタイミングチャートに示すように、出力PAO、PEO、PCO、PGO、PBO、PFO、PDO、PHOからは、それぞれ、デジタルデータA、E、C、G、B、F、D、Hが出力される。

【0076】デジタルデータ並び替えスイッチに入力する信号がLR=LoかつLRB=Hiの時、デジタルデータ並び替えスイッチSW_LRは、P2に入力されるデジタルデータをP3から出力する。よって、図9のタイミングチャートの括弧に示すように、出力PAO、PEO、PCO、PGO、PBO、PFO、PDO、PHOからは、それぞれ、デジタルデータH、D、F、B、G、C、E、Aが出力される。

【0077】上述の動作が全てのSPC/bit回路で行われ、結果として、シリアルに入力される80MHzの8ビットデジタルデータが、10MHzの8個のパラレルな8ビットデジタルデータに変換されることになる。

【0078】このように、デジタルデータ並び替えスイッチに入力する信号LRを制御することによって、デジタルデータ分割回路から出力されるデジタルデータの並び替えを行うことができる。

【0079】なお、本実施形態においては、デジタルデータ並び替えスイッチに入力する信号LRを制御することによって、デジタルデータ分割回路から出力されるデジタルデータの並び替えを行うようにしたが、外部から入力されるデジタルデータをあらかじめ並べ替えてから入力するという方法を実施することもできる。特にこの方法は、実施形態1のデジタルデータ分割回路のように、デジタルデータ並び替えスイッチを有していない実施形態に有用である。

【0080】(実施形態3)

【0081】本実施形態においては、上述の実施形態1または2のデジタルデータ分割回路を、アクティブマトリクス型液晶表示装置の駆動回路に用いた場合について説明する。

【0082】図10を参照する。図10は、本実施形態のアクティブマトリクス型液晶表示装置の概略ブロック図である。1001はソース信号線駆動回路Aであり、1002はソース信号線駆動回路Bである。1003はゲート信号線駆動回路である。1004はアクティブマトリクス回路である。1005はデジタルデータ分割回路であり、上述の実施形態2で説明されたデジタルデータ並び替え機能付きのものである。

【0083】ソース信号線駆動回路A 1001は、シフトレジスタ回路(240ステージ×2のシフトレジスタ回路)1001-1、ラッチ回路1(980×8デジタルラッチ回路)1001-2、ラッチ回路2(980×8デジタルラッチ回路)1001-3、セレクト回路1(240のセレクト回路)1001-4、D/A変換回路(240のD/A変換回路(DACともいう))1001-5、セレクト回路2(240のセレクト回路)1001-6を有している。その他、バッファ回路やレベルシフト回路(いずれも図示せず)を有している。また、説明の便宜上、DAC1001-5にはレベルシフ

タ回路が含まれている。

【0084】シフトレジスタ回路1001-1にはクロック信号(CK)およびスタートパルス(SP)が入力される。ラッチ回路1(1001-2)にはデジタルデータ分割回路1005によって周波数を10MHzに落とされた8個のバラレルな8ビットデジタルデータが入力される。ラッチ回路2(1001-3)にはラッチ信号(Latch Signal)が入力される。セレクト回路1(1001-4)には選択信号(Select Signal)が入力される。D/A変換回路1001-5には高電位電源(DC_VIDEO_H)、低電位電源(DC_VIDEO_L)、オフセット電源(DC_VIDEO_M)、リセットパルス(Res AおよびRes B)が入力される。また、セレクト回路2(1001-6)には選択信号(Select Signal)が入力される。

【0085】ソース信号線駆動回路B1002は、ソース信号線駆動回路A1001と同じ構成を有する。なお、ソース信号線駆動回路A1001は、奇数番目のソース信号線に映像信号(階調電圧信号)を供給し、ソース信号線駆動回路B1002は、偶数番目のソース信号線に映像信号を供給するようになっている。

【0086】なお、本実施形態のアクティブマトリクス型液晶表示装置においては、回路レイアウトの都合上、アクティブマトリクス回路の上下を挟むように2つのソース信号線駆動回路Aおよびソース信号線駆動回路Bを設けたが、回路レイアウト上、可能であれば、ソース信号線駆動回路を1つだけ設けるようにしても良い。

【0087】また、1003はゲート信号線駆動回路であり、シフトレジスタ回路、バッファ回路、レベルシフト回路等(いずれも図示せず)を有している。

【0088】アクティブマトリクス回路1004は、1920×1080(横×縦)個の画素を有している。各画素には画素TFT(薄膜トランジスタ)が配置されており、各画素TFTのソース領域にはソース信号線が、ゲート電極にはゲート信号線が電気的に接続されている。また、各画素TFTのドレイン領域には画素電極が電気的に接続されている。各画素TFTは、各画素TFTに電気的に接続された画素電極への映像信号(階調電圧)の供給を制御している。各画素電極に映像信号(階調電圧)が供給され、各画素電極と対向電極との間に挟まれた液晶に電圧が印加され液晶が駆動される。

【0089】本実施形態では、デジタルデータ分割回路1005には、外部から80MHzの8ビットデジタルデータが入力される。デジタルデータ分割回路1005は、外部から入力される80MHzの8ビットデジタルデータをシリアル-バラレル変換し、8個のバラレルな10MHzのデジタルデータをソース信号線駆動回路に供給する。

【0090】ここで、本実施形態のアクティブマトリク

ス型液晶表示装置の動作について順を追って説明する。

【0091】まず、ソース信号線駆動回路A1001の動作を説明する。シフトレジスタ回路1001-1にクロック信号(CK)およびスタートパルス(SP)が入力される。シフトレジスタ回路1001-1は、これらのクロック信号(CK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ回路等(図示せず)を通して後段の回路へタイミング信号を順次供給する。

【0092】シフトレジスタ回路1001-1からのタイミング信号は、バッファ回路等によってバッファされる。タイミング信号が供給されるソース信号線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの“鈍り”を防ぐために、このバッファ回路が設けられる。

【0093】バッファ回路によってバッファされたタイミング信号は、ラッチ回路1(1001-2)に供給される。ラッチ回路1(1001-2)は、8ビットデジタルデータ(8bit digital data)を処理するラッチ回路を980ステージ有している。ラッチ回路1(1001-2)は、前記タイミング信号が入力されると、本発明のデジタルデータ分割回路から供給される8ビットデジタルデータを順次取り込み、保持する。

【0094】ラッチ回路1(1001-2)の全てのステージにラッチ回路にデジタルデータの書き込みが一通り終了するまでの時間は、ライン期間と呼ばれる。すなわち、順方向走査の場合、ラッチ回路1(1001-2)の中で一番左側のステージのラッチ回路にデジタルデータの書き込みが開始される時点から、一番右側のステージのラッチ回路にデジタルデータの書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間と呼ぶこともある。

【0095】1ライン期間の終了後、シフトレジスタ回路1001-1の動作タイミングに合わせて、ラッチ回路2(1001-3)にラッチ信号(Latch Signal)が供給される。この瞬間、ラッチ回路1(1001-2)に書き込まれ保持されているデジタルデータは、ラッチ回路2(1001-3)に一斉に送出され、ラッチ回路2(1001-3)の全ステージのラッチ回路に書き込まれ、保持される。

【0096】デジタルデータをラッチ回路2(1001-3)に送出し終えたラッチ回路1(1001-2)には、シフトレジスタ回路1001-1からのタイミング信号に基づき、再び本発明のデジタルデータ分割回路から供給されるデジタルデータの書き込みが順次行われる。

【0097】この2順目の1ライン期間中には、ラッチ回路2(1001-3)に書き込まれ、保持されている

デジタルデータが、セレクト回路1(1001-4)によって順次選択され、D/A変換回路(DAC)1001-5に供給される。なお本実施形態では、セレクト回路1(1001-4)においては、1つのセレクト回路がソース信号線4本に対応している。

【0098】なお、セレクト回路については、本出願人による特許出願である特願平9-288098号に記載されているものを用いることもできる。

【0098】セレクト回路1(1001-4)は、入力される選択信号(Select Signal)によって、1ライン走査期間(水平走査期間)の1/4づつ、4本のソース信号線に対応するデジタルデータが選択され出力される。

【0100】本実施形態のセレクト回路1001-4においては、ソース信号線4本毎に一つのセレクト回路が設けられている。また、1ライン走査期間の1/4づつ、対応するソース信号線にラッチ回路2(1001-3)から供給される8ビットデジタルデータが選択される。

【0101】セレクト回路1(1001-4)で選択された8ビットデジタルデータがDAC1001-5に供給される。本実施形態には、どのようなD/A変換回路を用いても良いが、本出願人による特許出願である特願平10-344732号に記載されているD/A変換回路を用いることが好ましい。

【0102】D/A変換回路1001-5から出力されるアナログデータ(階調電圧)は、セレクト回路2(1001-8)によって、上述のセレクト回路1(1001-4)と同様に1/4ライン期間づつ選択され、ソース信号線に供給される。

【0103】ソース信号線に供給されるアナログデータは、ソース信号線に接続されているアクティブマトリクス回路の画素TFTのソース領域に供給される。

【0104】1002はソース信号線駆動回路Bであり、その構成はソース信号線駆動回路A1001と同じである。ソース信号線駆動回路B1002は、偶数番目のソース信号線にアナログデータを供給する。

【0105】ゲート信号線駆動回路1003においては、シフトレジスタ(図示せず)からのタイミング信号がバッファ回路(図示せず)に供給され、対応するゲート信号線(走査線)に供給される。ゲート信号線には、1ライン分の画素TFTのゲート電極が接続されており、1ライン分全ての画素TFTを同時にONにしなくてはならないので、バッファ回路には電流容量の大きなものが用いられる。

【0106】このように、ゲート信号線駆動回路1003からの走査信号によって対応する画素TFTのスイッチングが行われ、ソース信号線駆動回路1001および1002からのアナログデータ(階調電圧)が画素TFTに供給され、液晶分子が駆動される。

【0107】本実施形態のように、本発明のデジタルデータ分割回路をアクティブマトリクス型液晶表示装置に用いると、高周波数のデジタルデータを処理することができる。

【0108】ここで、本実施形態で説明した、本発明のデジタルデータ分割回路を有するアクティブマトリクス型液晶表示装置の作製方法例を以下に説明する。本実施形態では、絶縁表面を有する基板上に複数のTFTを形成し、アクティブマトリクス回路、ソース信号線駆動回路、ゲート信号線駆動回路、本発明のデジタルデータ分割回路、および他の周辺回路等を同一基板上に形成する例を図11~図14に示す。なお、以下の例では、アクティブマトリクス回路の1つの画素TFTと、他の回路(ソース信号線駆動回路、ゲート信号線駆動回路、デジタルデータ分割回路、および他の周辺回路)の基本回路であるCMOS回路とが同時に形成される様子を示す。また、以下の例では、CMOS回路においてはPチャネル型TFTとNチャネル型TFTとがそれぞれ1つのゲート電極を備えている場合について、その作製工程を説明するが、ダブルゲート型やトリプルゲート型のような複数のゲート電極を備えたTFTによるCMOS回路をも同様に作製することができる。また、以下の例では、画素TFTはダブルゲートのNチャネル型TFTである、シングルゲート、トリプルゲート等のTFTとしてもよい。

【0109】図11(A)を参照する。まず、絶縁表面を有する基板として石英基板5001を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。石英基板上に一旦非晶質シリコン膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。次に、下地膜5001を形成する。本実施形態では、下地膜5001には酸化シリコン(SiO_2)が用いられた。次に、非晶質シリコン膜5003を形成する。非晶質シリコン膜5003は、最終的な膜厚(熱酸化後の膜減りを考慮した膜厚)が10~75nm(好ましくは15~45nm、より好ましくは25nm)となる様に調節する。

【0110】なお、非晶質シリコン膜5003の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施形態の場合、非晶質シリコン膜5003中では、後の結晶化を阻害する不純物であるC(炭素)およびN(窒素)の濃度はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$ 未満(代表的には $5 \times 10^{17} \text{ atoms/cm}^3$ 以下)、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下)、O(酸素)は $1.5 \times 10^{18} \text{ atoms/cm}^3$ 未満(代表的には $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下)となる様に管理する。なぜならば各不純物がこれ以上の濃度で

存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、SIMS（質量2次イオン分析）の測定結果における最小値で定義される。

【0111】上記構成を得るため、本実施形態で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図ることが望ましい。ドライクリーニングは、200～400℃程度に加熱した炉内に100～300sccmのCIF、（フッ化塩素）ガス

を流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【0112】なお、本出願人の知見によれば炉内温度300℃とし、CIF、ガスの流量を300sccmとした場合、約2μm厚の付着物（主にシリコンを主成分する）を4時間で完全に除去することができる。

【0113】また、非晶質シリコン膜5003中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質シリコン膜5003の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することによってプラズマCVD法を用いることも可能である。

【0114】次に、非晶質シリコン膜5003の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施形態2のどちらの手段でも良いが、本実施形態では、同公報の実施例2に記載した技術内容（特開平8-78328号公報に詳しい）を利用するのが好ましい。

【0115】特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜5004を150nmに形成する。マスク絶縁膜5004は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる（図11（B））。

【0116】そして、非晶質シリコン膜5003の結晶化を助長する触媒元素としてニッケル（Ni）を含有した溶液（Ni酢酸塩エタノール溶液）5005をスピコート法により塗布する。なお、触媒元素としてはニッケル以外にも、コバルト（Co）、鉄（Fe）、パラジウム（Pd）、ゲルマニウム（Ge）、白金（Pt）、銅（Cu）、金（Au）等を用いることができる（図11（B））。

【0117】また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、後述する横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0118】触媒元素の添加工程が終了したら、次に、450℃で1時間程度の水素出しの後、不活性雰囲気、

水素雰囲気または酸素雰囲気中において500～960℃（代表的には550～650℃）の温度で4～24時間の加熱処理を加えて非晶質シリコン膜5003の結晶化を行う。本実施形態では酸素雰囲気中で600℃で12時間の加熱処理を行う。

【0119】この時、非晶質シリコン膜5003の結晶化は、ニッケルを添加した領域5008で発生した核から優先的に進行し、基板5001の基板面に対してほぼ平行に成長した多結晶シリコン膜からなる結晶領域5007が形成される。この結晶領域5007を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。

【0120】なお、マスク絶縁膜5004を用いずに、Ni酢酸溶液を非晶質シリコン膜の全面に塗布し結晶化させることもできる。

【0121】図11（D）を参照する。次に、触媒元素のゲッタリングプロセスを行う。まず、リンイオンのドーピングを選択的に行う。マスク絶縁膜5004が形成された状態で、リンのドーピングを行う。すると、多結晶シリコン膜のマスク絶縁膜5004で覆われていない部分5008のみに、リンがドーピングされる（これらの領域をリン添加領域5008と呼ぶ）。このとき、ドーピングの加速電圧と、酸化膜で成るマスクの厚さを最適化し、リンがマスク絶縁膜5004を突き抜けないようにする。このマスク絶縁膜5004は、必ずしも酸化膜でなくてもよいが、酸化膜は活性層に直接触れても汚染の原因にならないので都合がよい。

【0122】リンのドーピング量は、 1×10^{11} から 2×10^{11} ions/cm² 程度とすると良い。本実施形態では、 2×10^{11} ions/cm² のドーピング量をイオンドーピング装置を用いて行った。

【0123】なお、イオンドーピングの際の加速電圧は10keVとした。10keVの加速電圧であれば、リンは150nmのマスク絶縁膜をほとんど通過することができない。

【0124】図11（E）を参照する。次に、800℃の酸素雰囲気にて1～12時間（本実施形態では12時間）熱アニールし、ニッケル元素のゲッタリングを行った。こうすることによって、図11（E）において矢印で示されるように、ニッケルがリンに吸寄せられることになる。800℃の温度のもとでは、リン原子は膜中をほとんど動かないが、ニッケル原子は数100μm程度またはそれ以上の距離を移動することができる。このことからリンがニッケルのゲッタリングに最も適した元素の1つであることが理解できる。

【0125】次に図12（A）を参照し、多結晶シリコン膜をパターンニングする工程を説明する。このとき、リンの添加領域5008、すなわちニッケルがゲッタリングされた領域が残らないようにする。このようにして、

21

ニッケル元素をほとんど含まない多結晶シリコン膜の活性層5009～5011が得られた。得られた多結晶シリコン膜の活性層5009～5011が後にTF Tの活性層となる。

【0126】図12(B)を参照する。活性層5009～5011を形成したら、その上にシリコンを含む絶縁膜でなるゲート絶縁膜5012を70nmに成膜する。そして、酸化性雰囲気において、800～1100℃（好ましくは950～1050℃）で加熱処理を行い、活性層5009～5011とゲート絶縁膜5012の界面に熱酸化膜（図示せず）を形成する。

【0127】なお、ゲート絶縁膜を成膜した後、部分的に該ゲート絶縁膜を除去し、更にゲート絶縁膜を形成することによって、本発明のデジタルデータ分割回路や駆動回路等の高速動作が必要となる部分のゲート絶縁膜の膜厚を薄くするようにしても良い。

【0128】また、触媒元素をグッタリングするための加熱処理（触媒元素のグッタリングプロセス）を、この段階で行っても良い。その場合、加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による触媒元素のグッタリング効果を利用する。なお、ハロゲン元素によるグッタリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、グッタリング効果が得られなくなる恐れがある。また、この場合ハロゲン元素を含むガスとして、代表的にはHCl、HF、NF₃、HBr、Cl₂、CF₄、BCl₃、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることができる。この工程においては、例えばHClを用いた場合、活性層中のニッケルが塩素の作用によりグッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。また、ハロゲン元素を用いて触媒元素のグッタリングプロセスを行う場合、触媒元素のグッタリングプロセスを、マスク絶縁膜5004を除去した後、活性層をパターンニングする前に行なってもよい。また、触媒元素のグッタリングプロセスを、活性層をパターンニングした後に行なってもよい。また、いずれのグッタリングプロセスを組み合わせて行なってもよい。

【0129】次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターンニングによって後のゲート電極の原型を形成する。本実施形態では2wt%のスカンジウムを含有したアルミニウム膜を400nmに形成した。

【0130】また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲート電極を形成しても良い。

【0131】次に、特開平7-135318号公報記載の技術により多孔性陽極酸化膜5013～5020、無

(12)

特開2000-338920

22

孔性陽極酸化膜5021～5024およびゲート電極5025～5028を形成する（図12(B)）。

【0132】こうして図12(B)の状態が得られたら、次にゲート電極5025～5028および多孔性陽極酸化膜5013～5020をマスクとしてゲート絶縁膜5012をエッチングする。そして、多孔性陽極酸化膜5013～5020を除去し、図12(C)の状態を得る。なお、図12(C)において5029～5031で示されるのは加工後のゲート絶縁膜である。

【0133】図13(A)を参照する。次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはNチャネル型ならばP（リン）またはAs（砒素）、P型ならばB（ボロン）またはGa（ガリウム）を用いれば良い。

【0134】本実施形態では、Nチャネル型およびPチャネル型のTF Tを形成するための不純物添加をそれぞれ2回の工程に分けて行う。

【0135】最初に、Nチャネル型のTF Tを形成するための不純物添加を行う。まず、1回目の不純物添加（本実施形態ではP（リン）を用いる）を高加速電圧80keV程度で行い、n⁺領域を形成する。このn⁺領域は、Pイオン濃度が $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

【0136】さらに、2回目の不純物添加を低加速電圧10keV程度で行い、n⁺領域を形成する。この時は、加速電圧が低いので、ゲート絶縁膜がマスクとして機能する。また、このn⁺領域は、シート抵抗が500Ω以下（好ましくは300Ω以下）となるように調節する。

【0137】以上の工程を経て、CMOS回路を構成するNチャネル型TF Tのソース領域およびドレイン領域5033および5034、低濃度不純物領域5037、チャネル形成領域5040が形成される。また、画素TF Tを構成するNチャネル型TF Tのソース領域およびドレイン領域5035および5036、低濃度不純物領域5038及び5039、チャネル形成領域5041および5042が確定する（図13(A)）。

【0138】なお、図13(A)に示す状態ではCMOS回路を構成するPチャネル型TF Tの活性層は、Nチャネル型TF Tの活性層と同じ構成となっている。

【0139】次に、図13(B)に示すように、Nチャネル型TF Tを覆ってレジストマスク5043を設け、P型を付与する不純物イオン（本実施形態ではボロンを用いる）の添加を行う。

【0140】この工程も前述の不純物添加工程と同様に2回に分けて行うが、Nチャネル型をPチャネル型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB（ボロン）イオンを添加する。

【0141】こうしてCMOS回路を構成するPチャネル型TF Tのソース領域およびドレイン領域5045および5044、低濃度不純物領域5046、チャネル形

50

成領域5047が形成される(図13(B))。

【0142】また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲート電極を形成した場合は、低濃度不純物の形成には公知のサイドウォール構造を用いれば良い。

【0143】次に、フェーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0144】図13(C)を参照する。次に、第1層間絶縁膜5048として酸化シリコン膜と窒化シリコン膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極およびドレイン電極5049〜5053を形成する。なお、第1層間絶縁膜5048として有機性樹脂膜を用いることもできる。

【0145】図14を参照する。次に、第2層間絶縁膜5054を窒化シリコン膜で形成する。そして次に、有機性樹脂膜からなる第3層間絶縁膜5056を0.5〜3μmの厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。なお、上述した以外の有機性樹脂膜を用いることもできる。

【0146】次に、第3層間絶縁膜5056の一部をエッチングし、図素TFTのドレイン電極5053の上部に第2層間絶縁膜を挟んでブラックマトリクス5055を形成する。本実施形態では、ブラックマトリクス5055にはTi(チタン)が用いられた。なお、本実施形態では、図素TFTとブラックマトリクスとの間で保持容量5058が形成される。

【0147】次に、第2層間絶縁膜5054および第3層間絶縁膜5056にコンタクトホールを形成し、図素電極5057を120nmの厚さに形成する。なお、本実施形態は透過型のアクティブマトリクス液晶表示装置の例であるため、図素電極5057を構成する導電膜としてITO等の透明導電膜を用いる。

【0148】次に、基板全体を350℃の水素雰囲気中で1〜2時間加熱し、素子全体の水素化を行うことで膜中(特に活性層中)のダングリングボンド(不対結合手)を補償する。なお、この水素化処理を、プラズマ化させることによってできた水素で行っても良い。

【0149】以上の工程を経て同一基板上にCMOS回路および図素マトリクス回路を有するアクティブマトリクス基板が完成する。

【0150】次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0151】図14(B)の状態のアクティブマトリク

ス基板に配向膜5059を形成する。本実施形態では、配向膜5059にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板5060、透明導電膜から成る対向電極5061、配向膜5062とで構成される。

【0152】なお、本実施形態では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施形態では、配向膜に比較的大きなプレチルト角を持つようなポリイミドを用いた。

【0153】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ(共に図示せず)などを介して貼り合わせる。その後、両基板の間に液晶5063を注入し、封止剤(図示せず)によって完全に封止する。本実施形態では、液晶5063にネマチック液晶を用いた。

【0154】よって、図14(C)に示すような透過型のアクティブマトリクス型液晶表示装置が完成する。

【0155】なお、本実施形態で説明した非晶質シリコン膜の結晶化の方法の代わりに、レーザー光(代表的にはエキシマレーザー光)によって、非晶質シリコン膜の結晶化を行ってもよい。

【0156】また、多結晶シリコン膜を用いる代わりに、スマートカット、SIMOX、ELTRAN(エルTRAN)等のSOI構造(SOI基板)を用いて他のプロセスを行ってもよい。

【0157】ここで図19および図20を参照し、本実施形態のアクティブマトリクス型液晶表示装置の動作結果について解説する。図19には、本実施形態のデジタルデータ分割回路を動作させた時のオシロスコープ図が示されている。

【0158】図19には、クロックジェネレータCLK_GEN_LまたはCLK_GEN_Rからのクロック信号の出力波形が示されている。図中、Ref1はCK40_Oの出力波形(約40MHz)であり、Ref2はCK20_Oの出力波形(約20MHz)であり、Ref3はCK10_Oの出力波形(約10MHz)である。なお、Ref5はリセットパルス(RES)であり、Ref4はそのリセットパルスをデジタルデータ分割回路において実測した信号波形である。

【0159】図20(A)、(B)および(C)には、8ビットのデジタルデータの最下位ビットが入力されるSPC/bit-1回路における出力波形を示している。

【0160】図20(A)には、SPC/bit-1回路のStage1のSPC基本ユニットに入力される約40MHzのクロック信号CK40(Ref1)ならびに80MHzのデジタルデータ(Ref2)、およびOUT100ならびにOUT200からそれぞれ出力される2個の40MHzのパラレルなデジタルデータ(Ref3ならびにRef4)が示されている。また、リセッ

トパルス (Ref 5) が示されている。

【0161】SPC/bit-1回路の入力INには、80MHzのデジタルデータ (Ref 2) が入力される。この80MHzデジタルデータは、最左のパルスから順に、Hi、Lo、Lo、Hi、Lo、Lo、Hi、Hiというシリアルなデジタルデータである。なお、この80MHzのシリアルなデジタルデータは、図5のタイミングチャートにおいては、DIGITAL DATAのA、D、G、HのデータがHiであり、その他のデータがLoであるとした場合である。

【0162】出力OUT100およびOUT200からそれぞれ出力されるデジタルデータ (Ref 3およびRef 4) をみると、入力されるデジタルデータ (Ref 2) の周波数が1/2 (約40MHz) となり、2つのパラレルなデジタルデータ (Ref 3およびRef 4) に変換されている様子がわかる。この様子は、図5のタイミングチャートにおいて、DIGITAL DATAのA、D、G、HのHiのデータが出力OUT100およびOUT200からどのような順序で出力されているかを参考にすると良い。

【0163】図20 (B) には、SPC/bit-1回路のStage2のSPC基本ユニットに入力される約20MHzのクロック信号CK20 (Ref 1) ならびに40MHzのデジタルデータ (Ref 2)、および出力OUT110ならびにOUT120からそれぞれ出力される2個の20MHzのパラレルなデジタルデータ (Ref 3ならびにRef 4) が示されている。また、リセットパルス (Ref 5) が示されている。

【0164】図20 (B) においても、出力OUT110およびOUT120からそれぞれ出力されるデジタルデータ (Ref 3およびRef 4) をみると、入力されるデジタルデータ (Ref 2) の周波数が1/2 (約20MHz) となり、2つのパラレルなデジタルデータ (Ref 3およびRef 4) に変換されている様子がわかる。

【0165】また、図20 (C) には、SPC/bit-1回路のStage3のSPC基本ユニットに入力される約10MHzのクロック信号CK10 (Ref 1) ならびに20MHzのデジタルデータ (Ref 2)、および出力OUT111ならびにOUT112からそれぞれ出力される2個の10MHzのパラレルなデジタルデータ (Ref 3ならびにRef 4) が示されている。また、リセットパルス (Ref 5) が示されている。

【0166】図20 (C) においても、出力OUT111およびOUT112からそれぞれ出力されるデジタルデータ (Ref 3およびRef 4) をみると、入力されるデジタルデータ (Ref 2) の周波数が1/2 (約10MHz) となり、2つのパラレルなデジタルデータ (Ref 3およびRef 4) に変換されている様子がわかる。

【0167】上述のように、本発明のデジタルデータ分割回路は、入力されるデジタルデータの周波数が約80MHzという高周波数にもかかわらず、安定した動作を示した。また、今回作製した本発明のデジタルデータ分割回路の最高動作周波数は、140MHz (入力するデジタルデータは140MHz、クロック信号は70MHz) であった。

【0168】(実施形態4)

【0169】本実施形態では、上述の実施形態3で説明した、本発明のデジタルデータ分割回路を有するアクティブマトリクス型液晶表示装置の作製方法の別の例について説明する。本実施形態においても、絶縁表面を有する基板上に複数のTFTを形成し、アクティブマトリクス回路、ソース信号線駆動回路、ゲート信号線駆動回路、本発明のデジタルデータ分割回路、および他の周辺回路等を同一基板上に形成する例を示す。なお、ここでは、CMOS回路の基本構成であるインバータ回路を図15および図16を用いて説明する。

【0170】図15を参照する。基板8001はガラス基板、プラスチック基板、セラミックス基板などを用いることができる。また、酸化シリコン膜や窒化シリコン膜などの絶縁膜を表面に形成したシリコン基板やステンレスに代表される金属基板を用いても良い。勿論、石英基板をもちいることも可能である。

【0171】そして、基板8001のTFTが形成される主表面には、窒化シリコン膜から成る下地膜8002と、酸化シリコン膜から成る下地膜8003が形成される。これらの下地膜はプラズマCVD法やスパッタ法で形成されるものであり、基板8001からTFTに有害な不純物が半導体層へ拡散することを防ぐために設けられている。そのため、窒化シリコン膜からなる下地膜8002を20~100nm、代表的には50nmの厚さに形成し、さらに酸化シリコン膜からなる下地膜8003を50~500nm、代表的には150~200nmの厚さに形成すれば良い。

【0172】勿論、下地膜を窒化シリコン膜からなる下地膜8002または、酸化シリコン膜からなる下地膜8003のどちらか一方のみで形成しても良いが、TFTの信頼性を考慮すると2層構造とすることが最も望ましかった。

【0173】下地膜8003に接して形成される半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体を、レーザー結晶化法や熱処理による固相成長法で結晶化された、結晶質半導体を用いることが望ましい。また、前記成膜法で形成される微結晶半導体を用いることも可能である。ここで適用できる半導体材料は、シリコン (Si)、ゲルマニウム (Ge)、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0174】半導体層は10~100nm、代表的には50nmの厚さとして形成されるものである。プラズマCVD法で作製される非晶質半導体膜には10~40at%の割合で膜中に水素が含まれているが、結晶化の工程に先立って400~500℃の熱処理の工程を行い水素を膜中から脱離させて含有水素量を5at%以下としておくことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0175】また、下地膜と非晶質半導体膜とは同じ成膜法で形成可能であるので、下地膜6002と下地膜6003と、さらに半導体層を連続形成すると良い。それぞれの膜が形成された後、その表面が大気雰囲気に触れないことにより、その表面の汚染を防ぐことができる。その結果、TFTの特性バラツキを発生させる要因の一つをなくすことができた。

【0176】非晶質半導体膜を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、触媒元素を用いた熱結晶化の技術により結晶質半導体膜を用いることもできる。さらに、触媒元素を用いた熱結晶化の技術により形成された結晶質半導体膜に対して、ゲッターリングの工程を加えて、前記触媒元素を除去すると優れたTFT特性を得ることができる。

【0177】こうして形成された結晶質半導体膜を、第1のフォトリソマスクを使用して、公知のパターニング法によりレジストマスクを形成し、ドライエッチング法により第2の島状半導体層（活性層）6004と、第1の島状半導体層（活性層）6005を形成した。

【0178】次に、第2の島状半導体層6004と、第1の島状半導体層6005との表面に、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜6008を形成する。ゲート絶縁膜6008は、プラズマCVD法やスパッタ法で形成し、その厚さを10~200nm、好ましくは50~150nmとして形成すれば良い（図15（A））。

【0179】そして、第2のフォトリソマスクにより、第2の島状半導体層6004と、第1の島状半導体層6005のチャネル形成領域を覆うレジストマスク6007、6008を形成した。このとき、配線を形成する領域にもレジストマスク6008を形成しておいても良い。

【0180】そして、n型を付与する不純物元素を添加することにより第2の不純物領域を形成する工程を行った。結晶質半導体材料に対してn型を付与する不純物元素としては、リン（P）、砒素（As）、アンチモン（Sb）などが知られているが、ここでは、リンを用い、フォスフィン（PH₃）を用いたイオンドープ法を行った。この工程では、ゲート絶縁膜6008を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。半導体層に添加されるリ

ンの濃度は、 $1 \times 10^{18} \sim 1 \times 10^{20}$ atoms/cm²の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm²とした。そして、半導体層にリンが添加された領域6010、6011が形成された。ここで形成された第2の不純物領域の一部は、LDD領域として機能するものである（図15（B））。

【0181】レジストマスクを除去するためには、アルカリ性の市販の剥離液を用いても良いが、アッシング法を用いると効果的であった。アッシング法は酸化雰囲気中でプラズマを形成し、そこに硬化したレジストをさらして除去する方法であるが、その雰囲気中に酸素の他に水蒸気を添加しておくとも効果的であった。

【0182】そして、ゲート絶縁膜6006の表面に第1の導電層6012を形成した。第1の導電層6012は、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いて形成する。そして、第1の導電層6007の厚さは10~100nm、好ましくは150~400nmで形成すれば良い（図15（C））。

【0183】例えば、WMo、Ta₂N、MoTa、WSix（ $x \approx 2.4 \sim 2.7$ ）などの化合物を用いることができる。

【0184】Ta、Ti、Mo、Wなどの導電性材料は、AlやCuに比べ抵抗率が高いが、作製する回路の面積との関係で、100cm²程度までならば問題なく使用することができた。

【0185】次に、第3のフォトリソマスクによりレジストマスク6013、6014、6015、6016を形成した。レジストマスク6013は、pチャネル型TFTのゲート電極を形成するためのものであり、レジストマスク6015、6016は、ゲート配線およびゲートバスラインを形成するためのものであった。また、レジストマスク6014は第1の島状半導体層の全面を覆って形成され、次の工程において、不純物が添加されるのを阻止するマスクとするために設けられた。

【0186】第1の導電層はドライエッチング法により不要な部分が除去され、第2のゲート電極6017と、ゲート配線6018と、ゲートバスライン6020が形成された。ここで、エッチング後残渣が残っている場合には、アッシング処理すると良かった。

【0187】そして、レジストマスク6013、6014、6015、6016をそのまま残して、pチャネル型TFTが形成される第2の島状半導体層6004の一部に、p型を付与する不純物元素を添加して第3の不純物領域を形成する工程を行った。p型を付与する不純物元素としては、ボロン（B）、アルミニウム（Al）、ガリウム（Ga）が知られているが、ここではボロンをその不純物元素として、ジボラン（B₂H₆）を用いてイオンドープ法で添加した。ここでも加速電圧を80keVとして、 2×10^{18} atoms/cm²の濃度にボロンを添加した。そして、図1（D）に示すようにボロンが高濃

度に添加された第3の不純物領域6021、6022が形成された。

【0188】図15(D)で設けられたレジストマスクを除去した後、第4のフォトマスクを用いてレジストマスク6023、6024、6025を形成した。第4のフォトマスクはnチャネル型TFTのゲート電極を形成するためのものであり、ドライエッチング法により第1のゲート電極6026が形成された。このとき第1のゲート電極6026は、第2の不純物領域6010、6011の一部とゲート絶縁膜を介して重なるように形成された(図15(E))。

【0189】そして、レジストマスク6023、6024、6025を完全に除去した後、第5のフォトマスクによりレジストマスク6029、6030、6031を形成した。レジストマスク6030は第1のゲート電極6026とを覆って、さらに第2の不純物領域6010、6011の一部と重なる形で形成されたものであった。レジストマスク6030は、LDD領域のオフセット量を決めるものであった。

【0190】また、ここでレジストマスク6030を使用してゲート絶縁膜の一部を除去して、第1の不純物領域が形成される半導体層の表面を露出させておいても良い。このようにすると、次の工程で実施されるn型を付与する不純物元素を添加する工程を効果的に実施することができる。

【0191】そして、n型を付与する不純物元素を添加して第1の不純物領域を形成する工程を行った。そして、ソース領域となる第1の不純物領域6032とドレイン領域となる第1の不純物領域6033が形成された。ここで、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜6008を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。この領域のリンの濃度はn型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/cm²とするのが好ましく、ここでは 1×10^{19} atoms/cm²とした(図18(A))。

【0192】そして、ゲート絶縁膜6008、第1および第2のゲート電極6026、6017、ゲート配線6027、ゲートバスライン6028の表面に第1の層間絶縁膜6034、第2の層間絶縁膜6035を形成した。第1の層間絶縁膜6034は窒化シリコン膜であり、50nmの厚さで形成された。また第2の層間絶縁膜6035は酸化シリコン膜であり、950nmの厚さに形成された。

【0193】ここで形成された窒化シリコン膜から成る第1の層間絶縁膜6034は次の熱処理の工程を行うために必要なものであった。これは第1および第2のゲート電極6026、6017、ゲート配線6027、ゲートバスライン6028の表面が酸化することを防ぐため

に効果的であった。

【0194】熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビッドサーマルアニール法(RTA法)で行えば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができるとは困難であった。従って、ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において300~700℃、好ましくは350~550℃、ここでは450℃、2時間の処理を行った。

【0195】この熱処理の工程において、窒素雰囲気中に3~90%の水素を添加しておいても良い。また、熱処理の工程の後に、さらに3~100%の水素雰囲気中で150~500℃、好ましくは300~450℃で2~12時間の水素化処理の工程を行うと良い。または、150~500℃、好ましくは200~450℃の基板温度で水素プラズマ処理をしても良い。いずれにしても、水素が半導体層中やその界面に残留する欠陥を補償することにより、TFTの特性を向上させることができる。

【0196】第1の層間絶縁膜6034、第2の層間絶縁膜6035はその後、第6のフォトマスクを用い、所定のレジストマスクを形成した後、エッチング処理によりそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、第2の導電層を形成し、第7のフォトマスクを用いたパターニングの工程によりソース電極6036、6037とドレイン電極6038を形成した。図示していないが、本実施形態ではこの電極第2の導電層を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた。

【0197】以上の工程で、pチャネル型TFTは自己整合的(セルフアライン)に形成され、nチャネル型TFTは非自己整合的(ノンセルフアライン)に形成された。

【0198】CMOS回路のnチャネル型TFTにはチャネル形成領域6042、第1の不純物領域6045、6046、第2の不純物領域6043、6044が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)6043a、6044aと、ゲート電極と重ならない領域(LDD領域)6043b、6044bがそれぞれ形成された。そして、第1の不純物領域6045はソース領域として、第1の不純物領域6046はドレイン領域となった。

【0199】一方、pチャネル型TFTは、チャネル形

成領域8039、第3の不純物領域8040、8041が形成された。そして、第3の不純物領域8040はソース領域として、第3の不純物領域8041はドレイン領域となった(図16(B))。

【0200】また、図16(C)はインバーク回路の上面図を示し、TFT部分のA-A'断面構造、ゲート配線部分のB-B'断面構造、ゲートバスライン部分のC-C'断面構造は、図16(B)と対応している。本実施形態において、ゲート電極とゲート配線とゲートバスラインとは、第1の導電層から形成されている。

【0201】図15と図18では、nチャネル型TFTとpチャネル型TFTとを相補的組み合わせで成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、アクティブマトリクス回路等も同様に作製される。

【0202】作製されたアクティブマトリクス基板は、実施形態3と同様の方法によってアクティブマトリクス型液晶表示装置とされる。

【0203】(実施形態5)

【0204】上述の実施形態3および4のアクティブマトリクス型液晶表示装置においては、ネマチック液晶を用いたTNモードが表示モードとして用いられているが、他の表示モードをも用いることができる。

【0205】さらに、応答速度の速い無しき値反強誘電性液晶または強誘電性液晶を用いて、アクティブマトリクス型液晶表示装置を構成してもよい。

【0206】例えば、1998、SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997、SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996、J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5394569号に開示された液晶を用いることが可能である。

【0207】ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しき値反強誘電性混合液晶と呼ばれるものがある。この無しき値反強誘電性混合液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ± 2.5 V程度(セル厚約 $1 \mu\text{m} \sim 2 \mu\text{m}$)のものも見出されている。

【0208】ここで、V字型の電気光学応答を示す無しき値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図24に示す。図24に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。な

お、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しき値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角(クロスニコル)に設定されている。

【0209】図24に示されるように、このような無しき値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

10 【0210】このような低電圧駆動の無しき値反強誘電性混合液晶を本発明のデジタルデータ分割回路を有するアクティブマトリクス型液晶表示装置に用いた場合にも、DAC(D/A変換回路)の出力電圧を下げることで、DACの動作電源電圧を下げることで、ドライバの動作電源電圧を低くすることができる。よって、アクティブマトリクス液晶表示装置の低消費電力化および高信頼性が実現できる。

【0211】よって、このような低電圧駆動の無しき値反強誘電性混合液晶を用いることは、比較的LDD領域(低濃度不純物領域)の幅が小さなTFT(例えば、 $0 \text{ nm} \sim 500 \text{ nm}$ または $0 \text{ nm} \sim 200 \text{ nm}$)を用いる場合においても有効である。

【0212】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。

30 【0213】なお、このような無しき値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、アクティブマトリクス液晶表示装置の低消費電力が実現される。

【0214】なお、図24に示すような電気光学特性を有する液晶は、いかなるものも本発明の液晶表示装置の表示媒体として用いることができる。

【0215】また、本発明のデジタルデータ分割回路を用いたアクティブマトリクス型半導体表示装置には、印加電圧に応答して光学的特性が変調されるその他のいかなる表示媒体を用いてもよい。例えば、エレクトロルミネセンス素子などを用いてもよい。

【0216】また、アクティブマトリクス型液晶表示装置のアクティブマトリクス回路に用いられるアクティブ素子には、TFTの他MIM素子等が用いられてもよい。

【0217】また、上述の実施形態3および4では、トップゲート型のTFTを例にとって説明したが、本発明のデジタルデータ分割回路を有するアクティブマトリクス型半導体表示装置(代表的には液晶表示装置)は、逆スタガ型のようなボトムゲイト型TFTによって構成されてもよい。

【0218】(実施形態6)

【0219】本発明のデジタルデータ分割回路を用いたアクティブマトリクス型半導体表示装置(アクティブマトリクス型液晶表示装置を含む)には様々な用途がある。本実施形態では、本発明のデジタルデータ分割回路を用いたアクティブマトリクス型半導体表示装置を組み込んだ半導体装置について説明する。

【0220】このような半導体装置には、ビデオカメラ、スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話など)などが挙げられる。それらの一例を図17、図18および図31に示す。

【0221】図17(A)はフロント型プロジェクターであり、本体10001、アクティブマトリクス型半導体表示装置10002(代表的には液晶表示装置)、光源10003、光学的系10004、スクリーン10005で構成されている。なお、図17(A)には、半導体表示装置を1つ組み込んだフロントプロジェクターが示されているが、アクティブマトリクス型半導体表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだことによって、より高解像度・高精細のフロント型プロジェクターを実現することができる。

【0222】図17(B)はリア型プロジェクターであり、10006は本体、10007はアクティブマトリクス型半導体表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図17(B)には、アクティブマトリクス型半導体表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだリア型プロジェクターが示されている。

【0223】図18(A)は携帯電話であり、本体11001、音声出力部11002、音声入力部11003、アクティブマトリクス型半導体表示装置11004、操作スイッチ11005、アンテナ11006で構成される。

【0224】図18(B)はビデオカメラであり、本体12001、アクティブマトリクス型半導体表示装置12002、音声入力部12003、操作スイッチ12004、バッテリー12005、受像部12006で構成される。

【0225】図18(C)はモバイルコンピュータであり、本体13001、カメラ部13002、受像部13003、操作スイッチ13004、アクティブマトリクス型半導体表示装置13005で構成される。

【0226】図18(D)はヘッドマウントディスプレイであり、本体14001、アクティブマトリクス型半導体表示装置14002で構成される。

【0227】図18(E)は携帯書籍(電子書籍)であり、本体15001、アクティブマトリクス型半導体表

示装置15002、15003、記憶媒体15004、操作スイッチ15005、アンテナ15006で構成される。

【0228】

図1(A)はパーソナルコンピュータであり、本体10001、音声入力部

10002、液晶表示装置10003、キーボード10004を含む。本発明を含む

図10003に適用することもできる。

【0229】

図1(B)はプロジェクタを例とした図面であり、図面中の各要素は

以下に示す通りであり、本体17001、液晶表示装置17002、スピーカ部17003

03、図面中の17004、操作スイッチ17005を含む。また、このプロ

ジェクタを例としてDVD(Digital Video Disc)の

CDを用い、音源データや動画データやゲームデータなどを、本発明を含む図17003とその周辺部

に適用することもできる。

【0230】(実施形態7)

【0231】本実施形態においては、本発明のデジタルデータ分割回路を有するアクティブマトリクス型液晶表示装置の別の作製例について説明する。なお、本実施例においては、特に説明しない部分には実施形態3に示した作製例とほぼ同様のプロセスを適用できる。

【0232】本実施形態においては、図11(A)の状態において、触媒元素の添加工程として、マスク絶縁膜5004を用いずにN₂酢酸溶液を非晶質シリコン膜の全面に塗布した。

【0233】触媒元素の添加工程が終了したら、次に、450℃で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～860℃(代表的には550～650℃)の温度で4～24時間の加熱処理を加えて非晶質シリコン膜4003の結晶化を行う。本実施形態では酸素雰囲気中で590℃で8時間の加熱処理を行う。

【0234】その後、触媒元素をゲッターリングするための加熱処理(触媒元素のゲッターリングプロセス)を行う。本実施形態の場合、加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による触媒元素のゲッターリング効果を利用する。なお、ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行うことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッターリング効果が得られなくなる恐れがある。また、この場合ハロゲン元素を含むガスとして、代表的にはHCl、HF、NF₃、HBr、Cl₂、ClF

(19)

特開2000-338920

35

36

、BCl₃、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものをい用いることができる。本実施形態においては、O₂およびHC1雰囲気下850℃で行い、熱酸化膜の形成と同時にゲッタリングプロセスを行った。

【0235】その後、ゲイト絶縁膜を形成する。本実施形態では、ゲイト絶縁膜の厚さは、最終膜厚が約50nm

*mとなるようにした。

【0236】その他の工程については、実施形態3を参照することができる。

【0237】本実施形態の作製工程によって得られたTFTの特性を以下の表1に示す。

【0238】

【表1】

L/W=6.8/7.6 [μm]	Nch	Pch
I _{on} [μA]	227	91.5
I _{off} [pA]	3.10	11.8
I _{on} /I _{off} [dec.]	7.86	6.89
V _{th} [V]	0.44	-0.56
S value [V/dec.]	0.08	0.10
μFE(max) [cm ² /Vs]	314	131
*μFE(max) [cm ² /Vs]	425	262

【0239】表1においては、L/W（チャネル長/チャネル幅）、I_{on}（オン電流）、I_{off}（オフ電流）、I_{on}/I_{off}（オン電流とオフ電流との比の常用対数をとったもの）、V_{th}（しきい値電圧）、S value（S値）、μFE（電界効果移動度）を示している。なお、*印がついたものは、L=50μmとしたTFTのμFEを示す。

【0240】ここで、図21に、本実施例の作製工程によって得られたTFT特性のグラフを示す。図21において、V_gはゲイト電圧、I_dはドレイン電流、V_dはドレイン電圧を示す。

※

※【0241】（実施形態8）

【0242】本実施形態においては、本出願人が作製した本発明のデジタルビデオデータ分割回路を有するアクティブマトリクス型液晶表示装置の例について説明する。

【0243】下記の表2には、本出願人が作製した本発明のデジタルビデオデータ分割回路を有するアクティブマトリクス型液晶表示装置の仕様が示されている。

【0244】

【表2】

Display diagonal size	2.6 inches
Number of pixels	1920 x 1080
Pixel size	30 (H) x 30 (V) μm
Aperture ratio	46%
Input data	8 bit
Power supply (Logic)	5 V
Input digital data rates	80 MHz
Frequency of data driver	10 MHz
Frequency of scan driver	8.1 KHz
Addressing mode	Column inversion
Contrast ratio	> 100

【0245】なお、表2におけるdata driverおよびscan driverは、それぞれ、ソース信号線駆動回路、ゲイト信号線駆動回路のことである。また、アドレッシングモード（Addressing mode）として、ソースライン反転表示を行った。

【0246】図22には、本実施形態で説明する本発明のデジタルビデオデータ分割回路（8ビット）を有するアクティブマトリクス型液晶表示装置の表示例が示されている。

【0247】また、図23には、本実施形態で説明する本発明のデジタルビデオデータ分割回路（8ビット）を有するアクティブマトリクス型液晶表示装置を3個用いたフロント型プロジェクターの表示例である。なお、フロント型プロジェクターについては、実施形態8を参照されたい。

【0248】図22および図23によると、本発明のデジタルビデオデータ分割回路を有するアクティブマトリクス型液晶表示装置は、1880×1080画素という

50

高解像度にもかかわらず、非常に精細な表示が実現できており、かつ非常に細かな階調表示が実現できていることがわかる。

【0248】(実施形態9)本実施形態では、本願発明を用いてEL(エレクトロルミネッセンス)表示装置を作製した例について説明する。

【0250】図25(A)は本実施形態のEL表示装置の上面図である。図25(A)において、4010は基板、4011は画素部、4012はソース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0251】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材7010、シーリング材(ハウジング材ともいう)7000、密封材(第2のシーリング材)7001が設けられている。

【0252】また、図25(B)は、本実施形態のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTで公知の構造(トッピゲート構造またはボトムゲート構造)を用いればよい。

【0253】駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0254】次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0255】本実施形態では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カ

ラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0256】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施形態ではマルチチャンパー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0257】なお、本実施形態では陰極4030として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0258】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4028のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0259】このようにして形成されたEL素子の表面を覆って、パッシベーション膜7013、充填材7014、カバー材7010が形成される。

【0260】さらに、EL素子部を囲むようにして、カバー材7010と基板4010の内側にシール材7000が設けられ、さらにシール材7000の外側には密封材(第2のシール材)7001が形成される。

【0261】このとき、この充填材7014は、カバー材7010を接合するための接着剤としても機能する。充填材7014としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材7014の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好

ましい。

【0262】また、充填材7014の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0263】スペーサーを設けた場合、パッシベーション膜7013はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0264】また、カバー材7010としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0265】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材7010が透光性を有する必要がある。

【0266】また、配線4016はシール材7000および密封材7001と基板4010との隙間を通過してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にシール材7000および密封材7001の下を通過してFPC4017に電気的に接続される。

【0267】(実施形態10) 本実施形態では、本願発明を用いて実施形態9とは異なる形態のEL表示装置を作製した例について、図26(A)、26(B)を用いて説明する。図25(A)、25(B)と同じ番号のものは同じ部分を指しているため説明は省略する。

【0268】図26(A)は本実施形態のEL表示装置の上面図であり、図26(A)をA-A'で切断した断面図を図26(B)に示す。

【0269】実施形態9に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0270】さらに、EL素子を覆うようにして充填材7014を設ける。この充填材7014は、カバー材7010を接着するための接着剤としても機能する。充填材7014としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。この充填材7014の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0271】また、充填材7014の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもた

せてもよい。

【0272】スペーサーを設けた場合、パッシベーション膜7013はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0273】また、カバー材7010としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材8004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0274】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材8000が透光性を有する必要がある。

【0275】次に、充填材7014を用いてカバー材7010を接着した後、充填材7014の側面(露出面)を覆うようにフレーム材7011を取り付ける。フレーム材7011はシール材(接着剤として機能する)7012によって接着される。このとき、シール材7012としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材7012はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材7012の内部に乾燥剤を添加してあっても良い。

【0276】また、配線4016はシール材7012と基板4010との隙間を通過してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にシール材7012の下を通過してFPC4017に電気的に接続される。

【0277】(実施形態11) 本実施形態ではEL表示パネルの要素部のさらに詳細な断面構造を図27に、上面構造を図28(A)に、回路図を図28(B)に示す。図27、図28(A)、図28(B)では共通の符号を用いるので互いに参照すればよい。

【0278】図27において、基板3501上に設けられたスイッチング用TFT3502はNTFTを用いて形成される。本実施形態ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施形態ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、PTFTを用いて形成しても構わない。

【0279】また、電流制御用TFT3503はNTF

Tを用いて形成される。このとき、スイッチング用TFT 3502のドレイン配線35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT 3502のゲート電極39a、39bを電気的に接続するゲート配線である。

【0280】電流制御用TFT 3503はEL素子の流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

【0281】また、本実施形態では電流制御用TFT 3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0282】また、図28(A)に示すように、電流制御用TFT 3503のゲート電極37となる配線は3504で示される領域で、電流制御用TFT 3503のドレイン配線40と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TFT 3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線（電源線）3508に接続され、常に一定の電圧が加えられている。

【0283】スイッチング用TFT 3502及び電流制御用TFT 3503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0284】また、43は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT 3503のドレインに電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0285】また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、

B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0286】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Geisen, E. Kluge, W. Krüder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceeding 5, 1999, p. 33-37」や特開平10-92578号公報に記載されたような材料を用いれば良い。

【0287】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0288】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0289】例えば、本実施形態ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0290】本実施形態では発光層45の上にPEDOT（ポリチオフェン）またはPANi（ポリアニリン）でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施形態の場合、発光層45で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0291】陽極47まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図28(A)に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0292】ところで、本実施形態では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては酸化珪素膜または酸化酸化珪素膜が好ましい。この目的は、外部とE.L.素子とを遮断することであり、有機E.L.材料の酸化による劣化を防ぐ意味と、有機E.L.材料からの脱ガスを抑える意味との両方を併せ持つ。これによりE.L.表示装置の信頼性が高められる。

【0293】以上のように本実施形態のE.L.表示パネルは図27のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なE.L.表示パネルが得られる。

【0294】(実施形態12) 本実施形態では、実施形態11に示した画素部において、E.L.素子3505の構造を反転させた構造について説明する。説明には図29を用いる。なお、図27の構造と異なる点はE.L.素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0295】図29において、電流制御用TFT3503はPTFTを用いて形成される。

【0296】本実施形態では、画素電極(陽極)50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0297】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネートでなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてE.L.素子3701が形成される。

【0298】本実施形態の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方向に向かって放射される。

【0299】実施形態6の電子機器の表示部として本実施形態のE.L.表示パネルを用いることは有効である。

【0300】(実施形態13) 本実施形態では、図28(B)に示した回路図とは異なる構造の画素とした場合の例について図30(A)～(C)に示す。なお、本実施形態において、3801はスイッチング用TFT3802のソース配線、3803はスイッチング用TFT3802のゲート配線、3804は電流制御用TFT、3805はコンデンサ、3806、3808は電流供給線、3807はE.L.素子とする。

【0301】図30(A)は、二つの画素間で電流供給線3806を共通とした場合の例である。即ち、二つの画素が電流供給線3806を中心に線対称となるように

形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0302】また、図30(B)は、電流供給線3808をゲート配線3803と平行に設けた場合の例である。なお、図30(B)では電流供給線3808とゲート配線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線3808とゲート配線3803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0303】また、図30(C)は、図30(B)の構造と同様に電流供給線3808をゲート配線3803と平行に設け、さらに、二つの画素を電流供給線3808を中心に線対称となるように形成する点に特徴がある。また、電流供給線3808をゲート配線3803のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0304】なお、本実施形態の構成は、実施形態9または10の構成と自由に組み合わせて実施することが可能である。また、実施形態8の電子機器の表示部として本実施形態の画素構造を有するE.L.表示パネルを用いることは有効である。

【0305】(実施形態14) 実施形態11に示した図28(A)、28(B)では電流制御用TFT3503のゲートにかかる電圧を保持するためにコンデンサ3504を設ける構造としているが、コンデンサ3504を省略することも可能である。実施形態11の場合、電流制御用TFT3503は、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有しているTFTを用いている。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施形態ではこの寄生容量をコンデンサ3504の代わりとして積極的に用いる点に特徴がある。

【0306】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0307】また、本実施形態13に示した図30(A)、(B)、(C)の構造においても同様に、コンデンサ3805を省略することは可能である。

【0308】なお、本実施形態の構成は、実施形態9～13の構成と自由に組み合わせて実施することが可能である。また、実施形態8の電子機器の表示部として本実施形態の画素構造を有するE.L.表示パネルを用いることは有効である。

【0309】

【発明の効果】 本発明のデジタルデータ分割回路は、入

45

力されるデジタルデータの周波数の半分以上の周波数のクロック信号しか必要としない。よって、従来のものと比較して、本発明のデジタルデータ分割回路は安定性および信頼性に優れている。

【0310】また、本発明のデジタルデータ分割回路は、従来のデジタルデータ分割回路よりも回路を構成する素子数や配線が少なく小面積である。よって、本発明のデジタルデータ分割回路を用いたアクティブマトリクス型半導体表示装置のサイズを小さくできる。

【図面の簡単な説明】

【図1】 実施形態1のデジタルデータ分割回路のブロック図である。

【図2】 実施形態1のデジタルデータ分割回路のクロックジェネレータおよびSPC/bit回路の回路構成を示す図である。

【図3】 実施形態1のデジタルデータ分割回路のSPC基本ユニットの回路構成を示す図である。

【図4】 実施形態1のデジタルデータ分割回路のDラッチ回路の回路構成を示す図である。

【図5】 実施形態1のデジタルデータ分割回路の動作を説明するタイミングチャートである。

【図6】 実施形態2のデジタルデータ分割回路のブロック図である。

【図7】 実施形態2のデジタルデータ分割回路のクロックジェネレータおよびSPC/bit回路の回路構成を示す図である。

【図8】 実施形態2のデジタルデータ分割回路のデジタルデータ並べ替えスイッチの回路構成を示す図である。

【図9】 実施形態2のデジタルデータ分割回路の動作を説明するタイミングチャートである。

【図10】 本発明のデジタルデータ分割回路を用いた実施形態3のアクティブマトリクス型液晶表示装置のブロック図である。

【図11】 実施形態3のアクティブマトリクス型液晶表示装置の作製工程例である。

【図12】 実施形態3のアクティブマトリクス型液晶表示装置の作製工程例である。

【図13】 実施形態3のアクティブマトリクス型液晶表示装置の作製工程例である。

【図14】 実施形態3のアクティブマトリクス型液晶表示装置の作製工程例である。

【図15】 実施形態4のアクティブマトリクス型液晶表示装置の作製工程例である。

【図16】 実施形態4のアクティブマトリクス型液晶表示装置の作製工程例である。

(24)

特開2000-338920

46

【図17】 本発明のデジタルデータ分割回路を用いたアクティブマトリクス型半導体表示装置を組み込んだプロジェクターの例である。

【図18】 本発明のデジタルデータ分割回路を用いたアクティブマトリクス型半導体表示装置を組み込んだ電子機器の例である。

【図19】 実施形態3の作製方法によって作製された本発明のデジタルデータ分割回路の動作波形を示すオシロスコープ図である。

10 【図20】 実施形態3の作製方法によって作製された本発明のデジタルデータ分割回路の動作波形を示すオシロスコープ図である。

【図21】 TFT特性のグラフである。

【図22】 本発明のDACを有するアクティブマトリクス型液晶表示装置の表示例である。

【図23】 本発明のDACを有するアクティブマトリクス型液晶表示装置の表示例。

【図24】 無しきい値反強誘電性混合液晶の印加電圧-透過率特性を示すグラフである。

20 【図25】 実施形態9のアクティブマトリクス型ELパネルの構成を示す図である

【図26】 実施形態10のアクティブマトリクス型ELパネルの構成を示す図である

【図27】 実施形態11のアクティブマトリクス型ELパネルの断面図である。

【図28】 実施形態11のアクティブマトリクス型ELパネルの上面図および回路図である。

【図29】 実施形態12のアクティブマトリクス型ELパネルの断面図である。

30 【図30】 実施形態13のアクティブマトリクス型ELパネルの回路図である。

【図31】 本発明のデジタルデータ分割回路を用いたアクティブマトリクス型半導体表示装置を組み込んだ電子機器の例である。

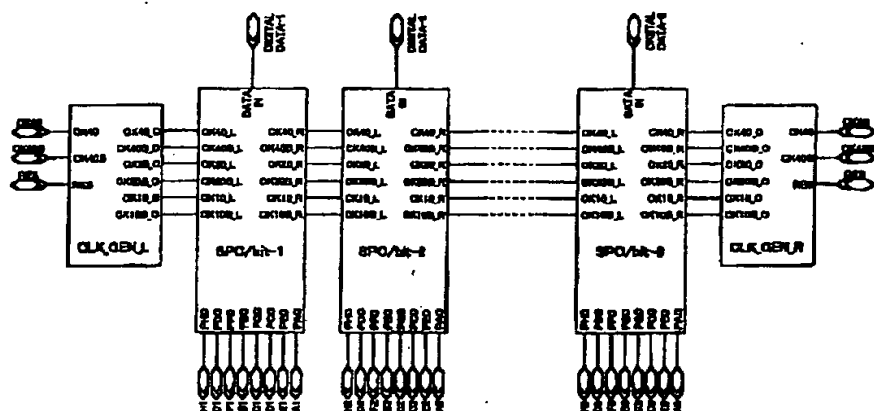
【符号の説明】

CLK_GEN_L	クロックジェネレータ
CLK_GEN_R	クロックジェネレータ
1001	ソース信号線駆動回路A
1001-2	ラッチ回路1
1001-3	ラッチ回路2
1001-4	セレクト回路1
1001-5	D/A変換回路(DAC)
1001-6	セレクト回路2
1002	ソース信号線駆動回路B
1003	ゲート信号線駆動回路
1005	デジタルデータ分割回路

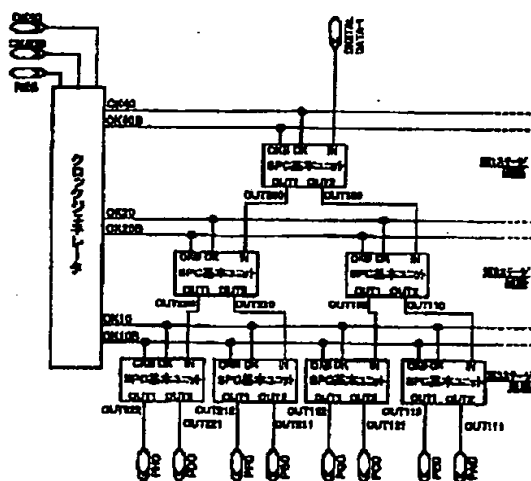
(25)

特開2000-338920

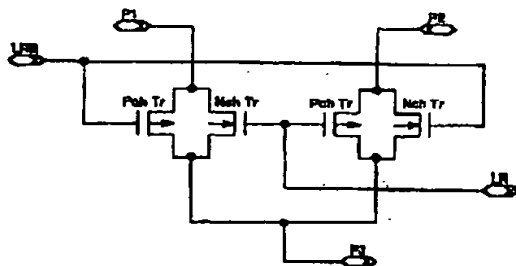
【図1】



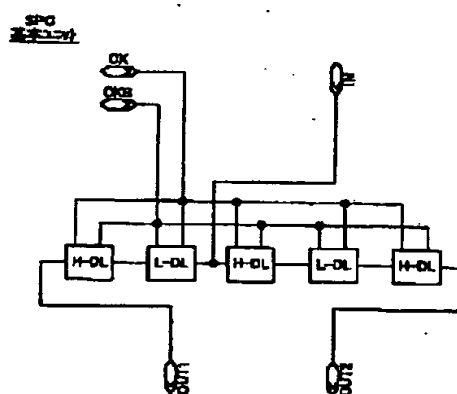
【図2】



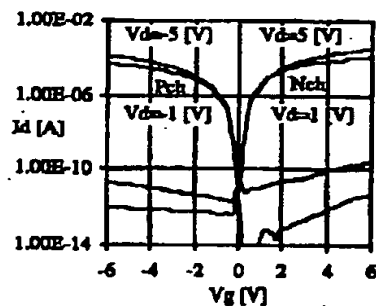
【図8】



【図3】



【図21】



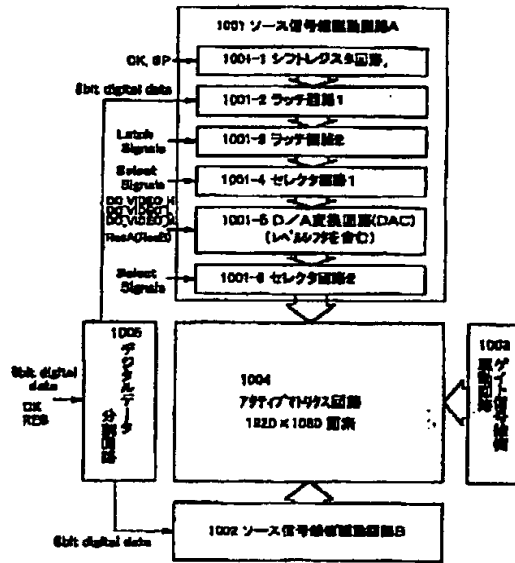


Ref 5 →
Ref 1 →
Ref 4 →
Ref 2 →
Ref 3 →

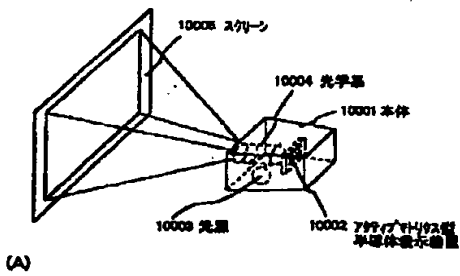
(28)

特開2000-338920

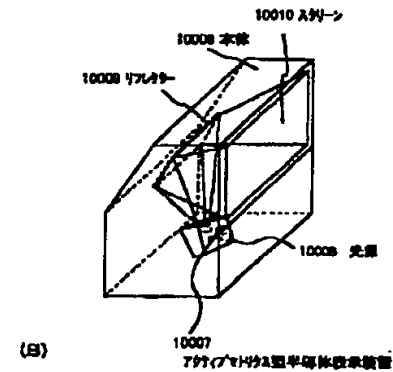
【図10】



【図17】

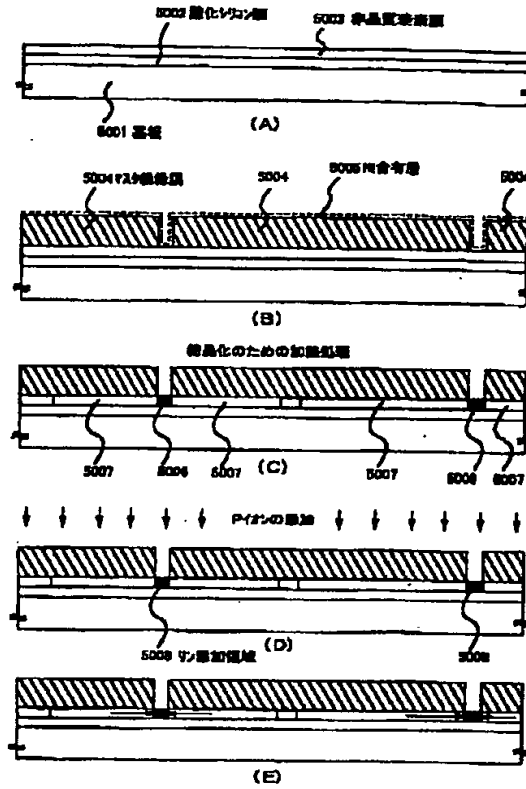


(A)

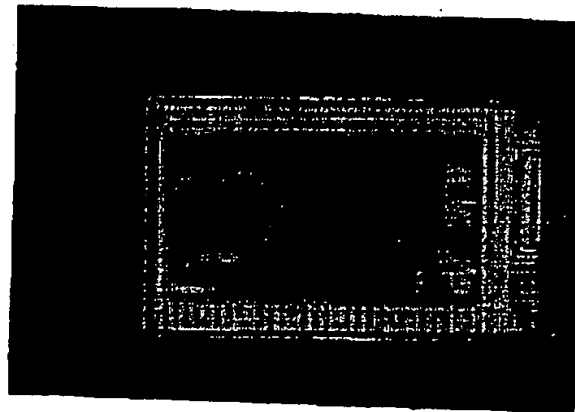


(B)

【図11】



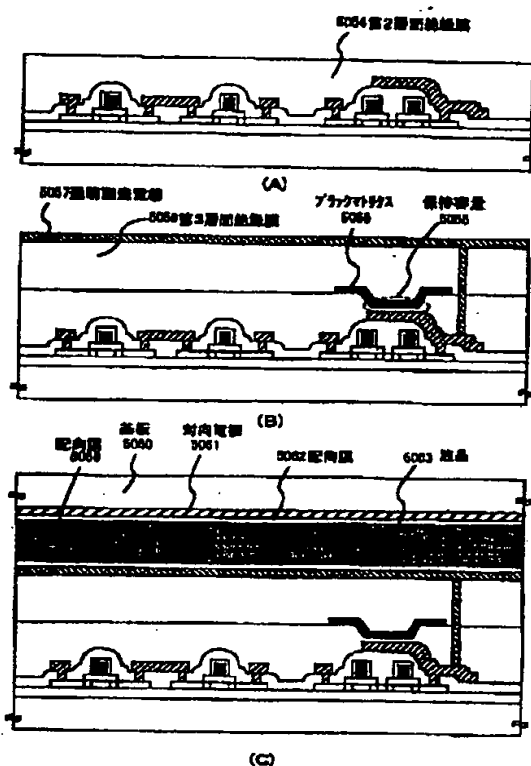
【図22】



(30)

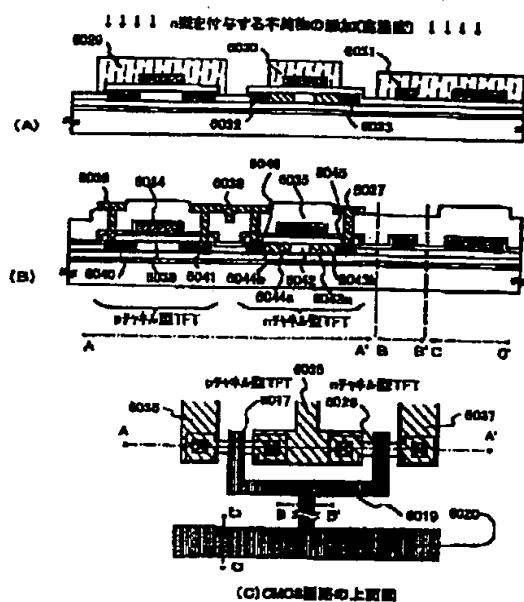
特開2000-338920

【図14】



(C)

【図16】



(C) CMOS回路の上図面

6025、6030、6031シリコン、6034第1の層配線層、6035、6036第1の層配線層、6037第1の層配線層、6038、6039第1の層配線層、6040第1の層配線層、6041第1の層配線層、6042第1の層配線層、6043第1の層配線層、6044第1の層配線層、6045第1の層配線層、6046第1の層配線層、6047第1の層配線層、6048第1の層配線層、6049第1の層配線層、6050第1の層配線層、6051第1の層配線層、6052第1の層配線層、6053第1の層配線層、6054第1の層配線層、6055第1の層配線層、6056第1の層配線層、6057第1の層配線層、6058第1の層配線層、6059第1の層配線層、6060第1の層配線層、6061第1の層配線層、6062第1の層配線層、6063第1の層配線層、6064第1の層配線層、6065第1の層配線層、6066第1の層配線層、6067第1の層配線層、6068第1の層配線層、6069第1の層配線層、6070第1の層配線層、6071第1の層配線層、6072第1の層配線層、6073第1の層配線層、6074第1の層配線層、6075第1の層配線層、6076第1の層配線層、6077第1の層配線層、6078第1の層配線層、6079第1の層配線層、6080第1の層配線層、6081第1の層配線層、6082第1の層配線層、6083第1の層配線層、6084第1の層配線層、6085第1の層配線層、6086第1の層配線層、6087第1の層配線層、6088第1の層配線層、6089第1の層配線層、6090第1の層配線層、6091第1の層配線層、6092第1の層配線層、6093第1の層配線層、6094第1の層配線層、6095第1の層配線層、6096第1の層配線層、6097第1の層配線層、6098第1の層配線層、6099第1の層配線層、6100第1の層配線層、6101第1の層配線層、6102第1の層配線層

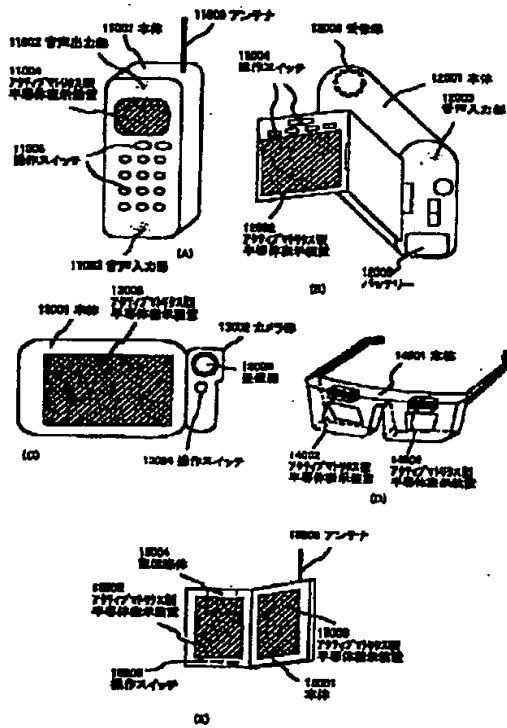
【図23】



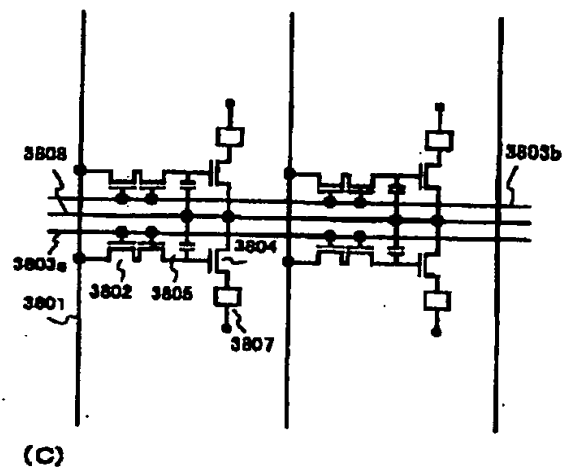
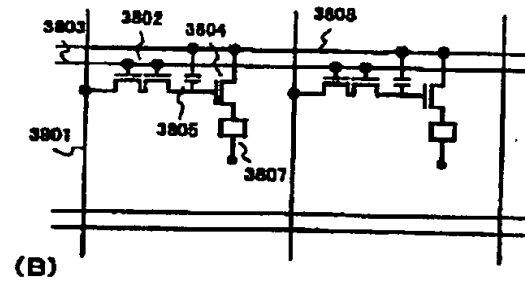
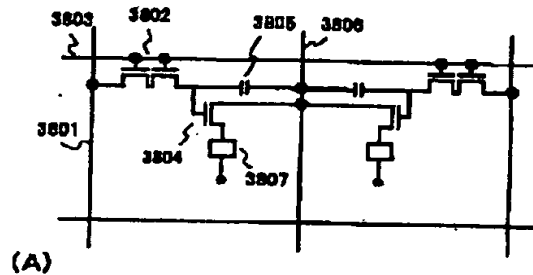
(31)

特開2000-338920

(図18)



(図30)



(32)

特開2000-338820

【図20】

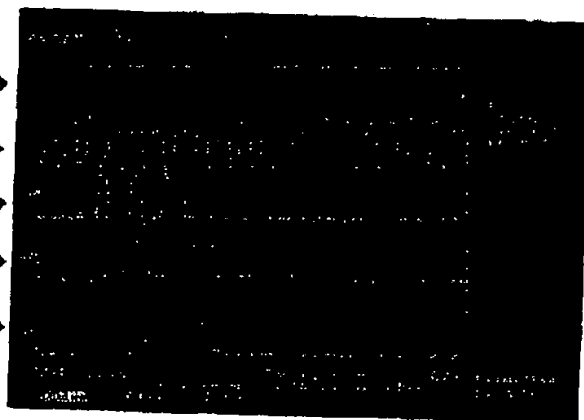
Ref 5 →

Ref 1 →

Ref 2 →

Ref 3 →

Ref 4 →



(A)

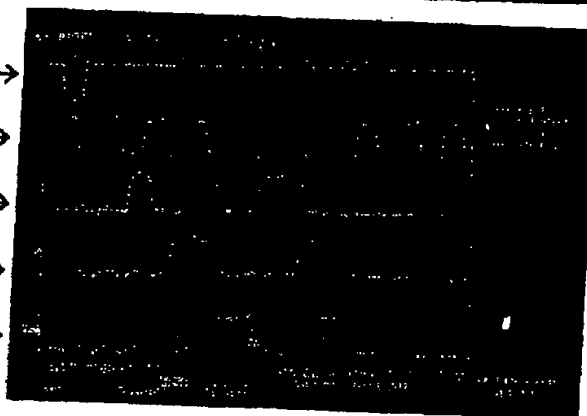
Ref 5 →

Ref 1 →

Ref 2 →

Ref 3 →

Ref 4 →



(B)

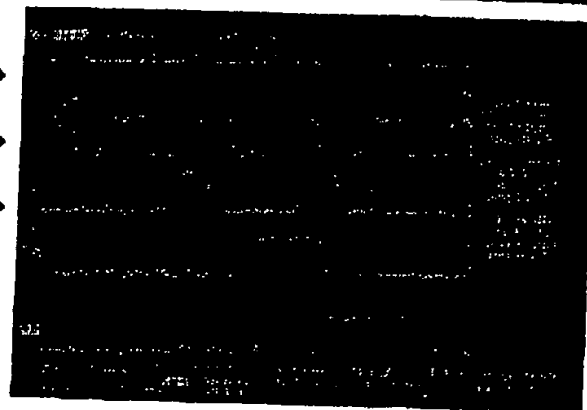
Ref 5 →

Ref 1 →

Ref 2 →

Ref 3 →

Ref 4 →

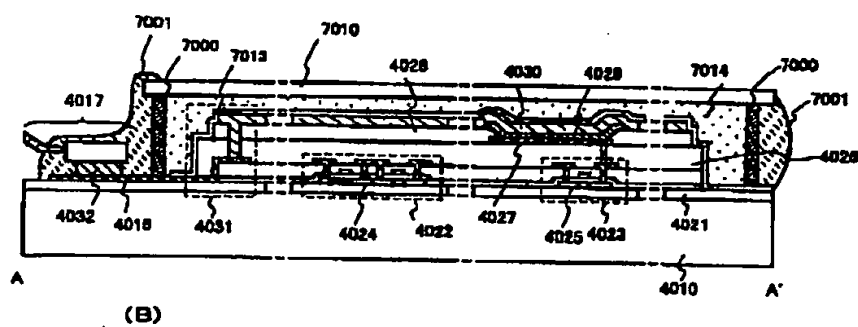
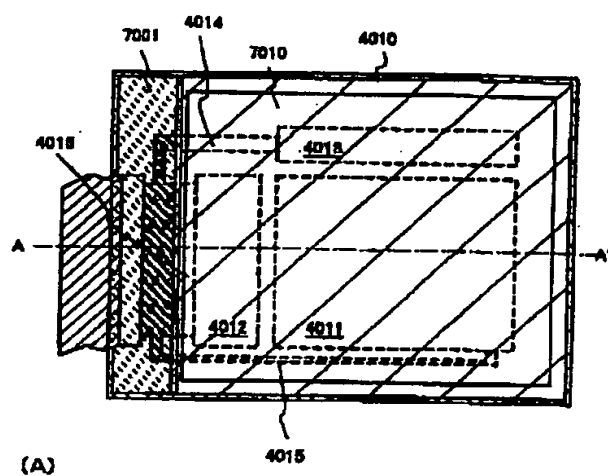


(C)

(33)

特開2000-338920

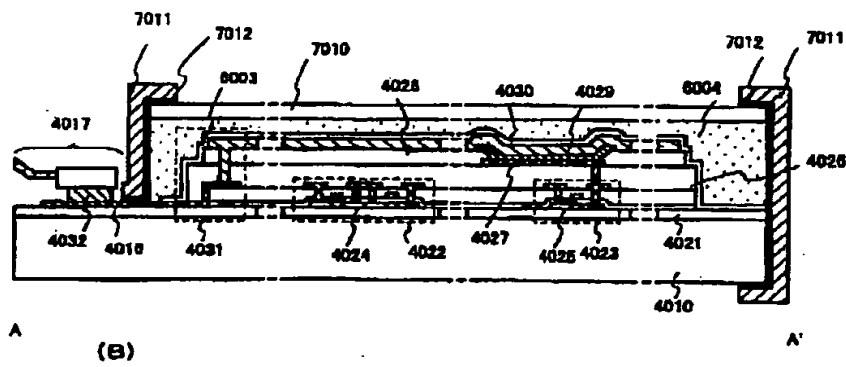
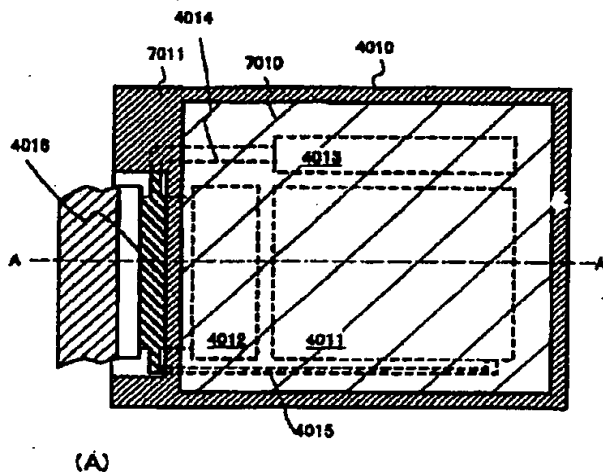
【図25】



(34)

特開2000-338920

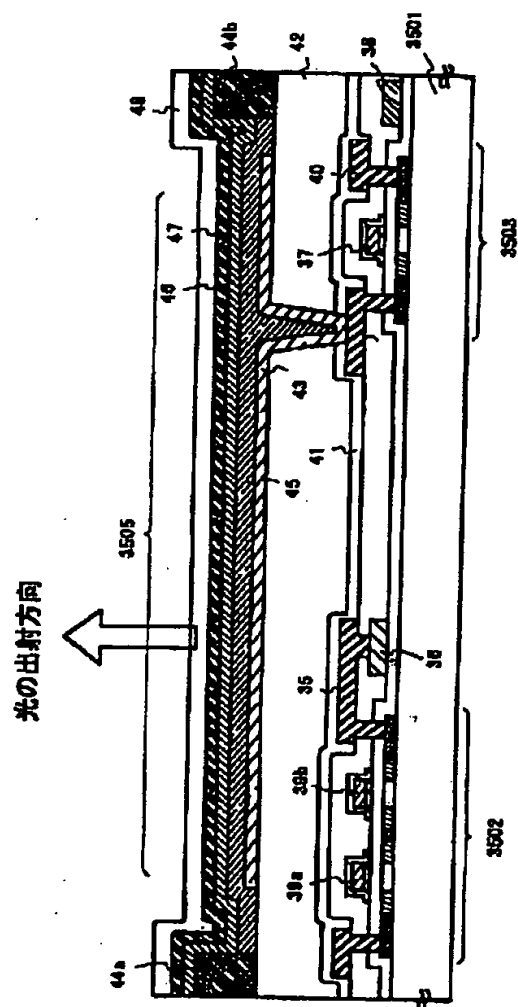
【図28】



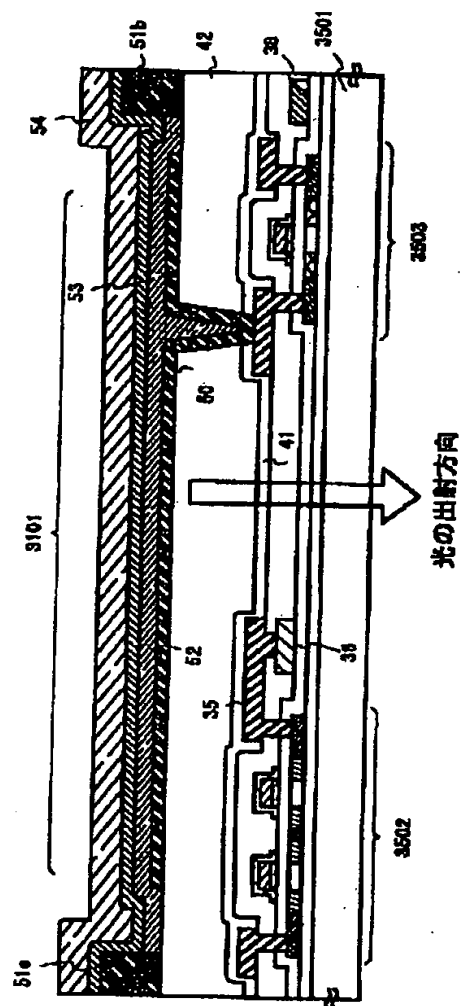
(35)

特開2000-338920

【図27】



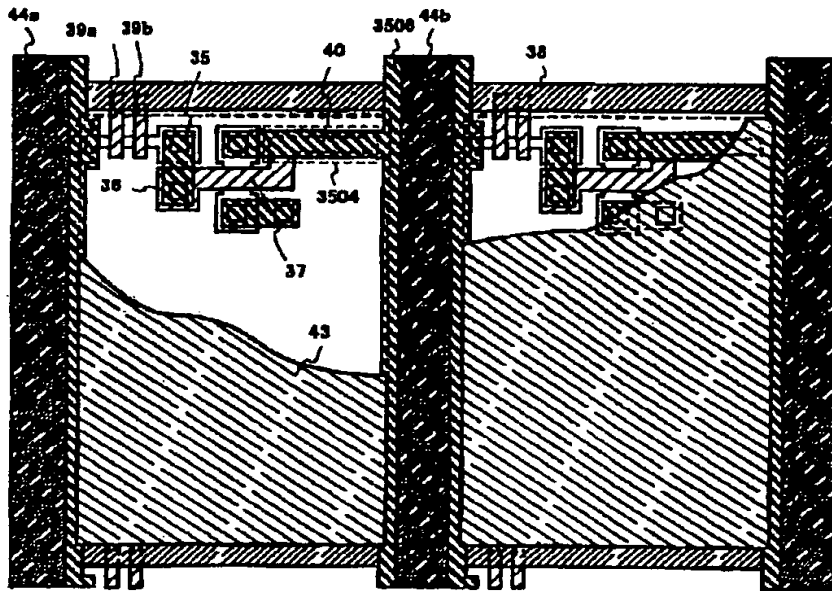
【図28】



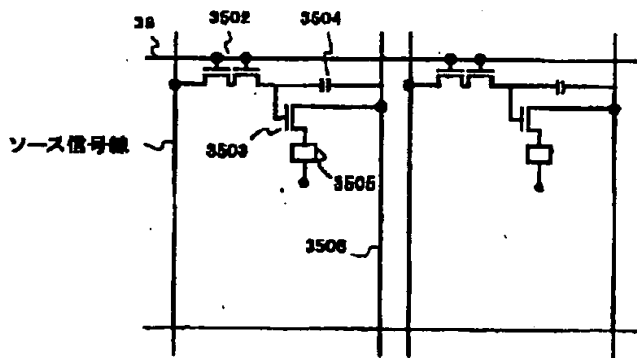
(36)

特開2000-338820

【図28】



(A)

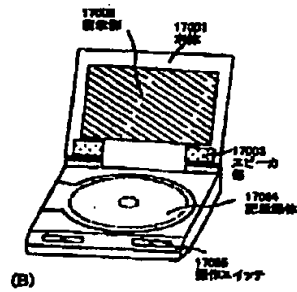
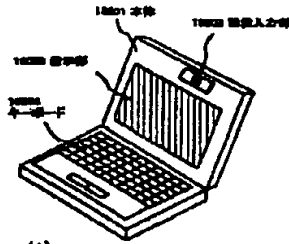


(B)

(37)

特開2000-338820

【図31】



フロントページの続き

(72)発明者 長尾 祥
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.